

Namn	Gäller f o m	Utgåva	Sida
------	--------------	--------	------

DATOR D5/20 SERIE

Funktions- och uppbyggnadsbeskrivning

Bearbetad: ZDSD Olof Hoffsten/

Samråd: ZDCC-1 Valter Sundström/

ZDCC-3 Rolf Loh

ZDCC-4 Björn Johansson

ZDCC-5 Bo Wärnberg

ZDKK-1 Per-Åke Lundh

ZDKK-3 Arnold Norman

Granskad: ZDSD Bengt Lundin/

Godkänd: ZDS Sören Segerborg/

SLUTLIG FÖRDELNING:

ZD ZDC ZDCC ZDCM ZDK ZDKK ZDS ZDSD ZDSS ZMBB

ZMBB-1 ZMLI ZS ZSC ZSCB ZSCC ZSL ZSLD ZT ZTA

ZTDE ZTDT Z-20 Z-20B Z-20C

DATOR D5/20 SERIE

Funktions- och uppbyggnadsbeskrivning

SAAB-SCANIA AB
Datasektorn
581 88 Linköping

ENDAST FÖR INTERNT BRUK

Namn	DATOR D5/20 SERIE	Gäller för	Utgåva	Sida
			1	0:0

DOKUMENTSTATUS

I denna publikation berörs följande säljenheter:

- 5020 Grundenhet D5/20 omfattande:
front, chassie, kortplatta (KP), kraftenhet (PS),
centralenhet (CPU) inkl. skrivskydd och paritets-
kontroll samt in/utsystem (IO).
- 5221 Grundmodul 2 K ord för minnesenhet
- 5221-1 Utbyggnadsmodul 2 K ord för minnesenhet
- 5222 Grundmodul 4 K ord för minnesenhet
- 5222-1 Utbyggnadsmodul 4 K ord för minnesenhet
- 5231 Grundmodul 2 K ord för minnesenhet med paritets-
kontroll.
- 5231-1 Utbyggnadsmodul 2 K ord för minnesenhet med pari-
tetskontroll
- 5232 Grundmodul 4 K ord för minnesenhet med paritets-
kontroll
- 5232-1 Utbyggnadsmodul 4 K ord för minnesenhet med pari-
tetskontroll

Namn DATOR D5/20 SERIE	Gäller för	Utgåva 1	Sida 0:1
---------------------------	------------	-------------	-------------

INNEHÅLL

Sida

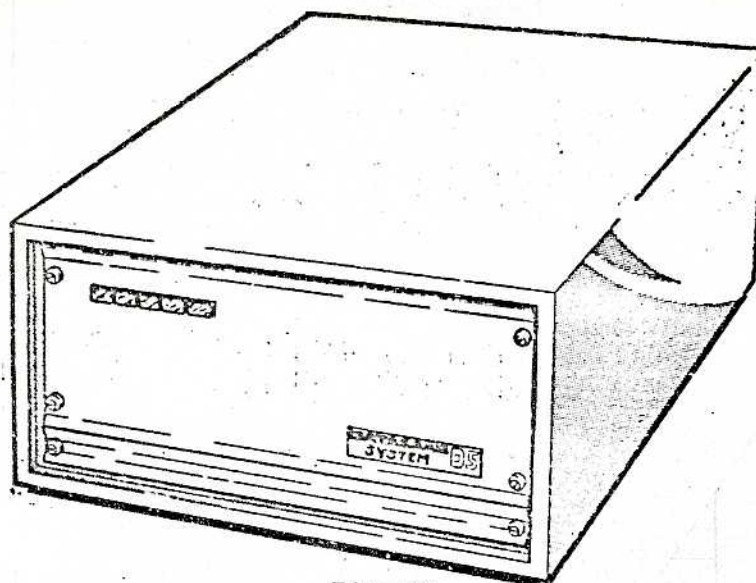
1.	ALLMÄNT	1:1 - 6
1.1	Inledning	1:2
1.2	Funktion och uppbyggnad	1:2
1.2.1	Logiktyp	1:4
1.3	Prestanda	1:5
1.4	Fysikaliska data	1:5
1.5	Miljö	1:6
1.6	Underhåll	1:6
2.	ÖVERSIKTLIG BESKRIVNING	2:1 - 3
2.1	Indelning i funktionsblock	2:1
2.2	Funktionsblockens inbördes relationer	2:1
2.3	Funktionsblockens fysikaliska placering	2:3
3.	DETALJERAD BESKRIVNING	3:1 - 177
3.1	Fysikalisk presentation	3:1 - 11
3.1.1	Uppbyggnad	3:1
3.1.1.1	Front	3:1
3.1.1.2	Chassie	3:3
3.1.1.3	Kortplatta	3:4
3.1.1.4	Kretskort	3:7
3.1.1.5	Kablage	3:10
3.1.1.6	Bakre plåtar	3:11
3.2	Kraftenhet	3:12 - 33
3.2.1	Uppbyggnad	3:12
3.2.2	Funktion	3:16
3.2.2.1	+12V-likriktare	3:17
3.2.2.2	-12V-likriktare	3:17
3.2.2.3	-5V-stabilisator	3:17
3.2.2.4	+5V-stabilisator	3:21
3.2.2.5	+21V-stabilisator (SU-sp.)	3:22
3.2.2.6	Logik	3:24

Namn	Gäller för	Utgåva	Sida
DATOR D5/20 SERIE		1	0:2

3.3	Minnesenhet	3:34 - 54
3.3.1	Uppbyggnad	3:34
3.3.2	Funktion	3:39
3.3.2.1	Adresssystem	3:40
3.3.2.2	Datasystem	3:40
3.3.2.3	Styrelektronik	3:42
3.3.2.4	Paritetskontroll	3:43
3.4	Centralenhet	3:55 - 140
3.4.1	Uppbyggnad	3:55
3.4.2	Funktion	3:59
3.4.2.1	Styrenhet	3:59
3.4.2.2	Aritmetisk enhet	3:104
3.4.2.3	Synkronisering och anpassning till minnet	3:119
3.4.2.4	Fast laddasekvens	3:121
3.4.2.5	Återföringslogik	3:123
3.4.2.6	Skrivskydd	3:126
3.4.2.7	Paritetskontroll av minnet	3:129
3.5	In/ut-system	3:141 - 174
3.5.1	Uppbyggnad	3:141
3.5.1.1	In/ut-kanal	3:141
3.5.1.2	In/ut-styrare	3:141
3.5.1.3	Kortplatta	3:141
3.5.1.4	JACK-kort	3:141
3.5.2	Funktion	3:143
3.5.2.1	In/ut-kanal	3:143
3.5.2.2	In/ut-styrare	3:156
3.5.2.3	Kortplatta	3:160
3.5.3	Övrigt	3:160
3.5.3.1	Frisläppning av ADP	3:160
3.5.3.2	ADRESS/ANROP för ADP	3:163
3.6	Manöverknappar	3:175 - 177
3.6.1	Uppbyggnad	3:176
3.6.2	Funktion	3:177

Namn	Gäller för	Utgåva	Sida
DATOR D5/20 SERIE		1	1:1

1. ALLMÄNT



T11523

Bild 1:1 Dator D5/20

Denna funktions- och uppbyggnadsbeskrivning (FUB) gäller för dator D5/20 SERIE. Beskrivningen är uppdelad i tre delar (kapitel), där första kapitlet (1) utgör en allmän beskrivning över datorns uppbyggnad och funktion samt vissa data- och prestandauppgifter. Det andra kapitlet (2) ger en översiktlig beskrivning av funktionsblockens indelning och inbördes relationer samt fysikaliska placering. Tredje kapitlet (3) är en detaljerad beskrivning av såväl datorns fysikaliska uppbyggnad som de olika funktionsblocken.

Anpassare för yttre enheter kommer att beskrivas separat.

För mer detaljinformation än vad som kan erhållas genom FUB, hänvisas till konstruktionsunderlaget.

Som komplement till denna beskrivning rekommenderas systembeskrivningen för D5/20 SERIE.

Namn DATOR D5/20 SERIE	Gäller f o m	Utgåva 1	Sida 1:2
---------------------------	--------------	-------------	-------------

1.1 Inledning

Dator D5/20 är en generell dator. Den är helt moduluppbyggd med integrerad elektronik på avancerad nivå, vilket ger hög tillförlitlighet. Datorn har liten volym, låg vikt och ringa effektförbrukning. Den är konstruerad med tanke på att användas i modern kontorsmiljö. Till datorn kan ett stort antal yttre enheter och modem för kommunikation på telelinje anslutas.

1.2 Funktion och uppbyggnad

Dator D5/20 har en instruktions- och ordlängd om 16 bitar. Binära talvärden representeras med 15 bitar plus en bit för förtecken eller 16 bitars data. Negativa tal bildas med tvåkomplement. Alfanumeriska tecken representeras med 8 bitar. Ett ord kan lagra två tecken.

Kommunikation med ansluten utrustning sker direkt eller via en buss. I det första fallet placeras yttre enhetens anpassare, ADP alternativt XA, innanför datorns apparathölje.

Datorsystemets in- och utadresser betjänas dels av en lokal in/utstyrare (IØC-0), dels av upp till sju terminala in/utstyrare (IØC-n). Den lokala IØC:n betjänar 16 adresser, varav en är reserverad för internt bruk (felregister). De terminala IØC:erna betjänar var och en 16 adresser.

För vissa tillämpningar kan IØC integreras med ett antal ADP. En sådan sammanbyggd enhet benämns terminalanpassare (TA).

En separat manöverpanel (OCP), främst avsedd för service och felsökning, är genom ett speciellt skarvdon anslutningsbar till datorn.

Genom panelen är vissa av datorns register tillgängliga. Panelen medger även viss manuell styrning av programgenomlopp.

Datorn kan funktionsmässigt uppdelas i minnesenhet (SU), centralenhet (CPU) och in/utkanal (IØCH), se bild 1.2. Dessutom ingår en in/utstyrare (IØC-0).

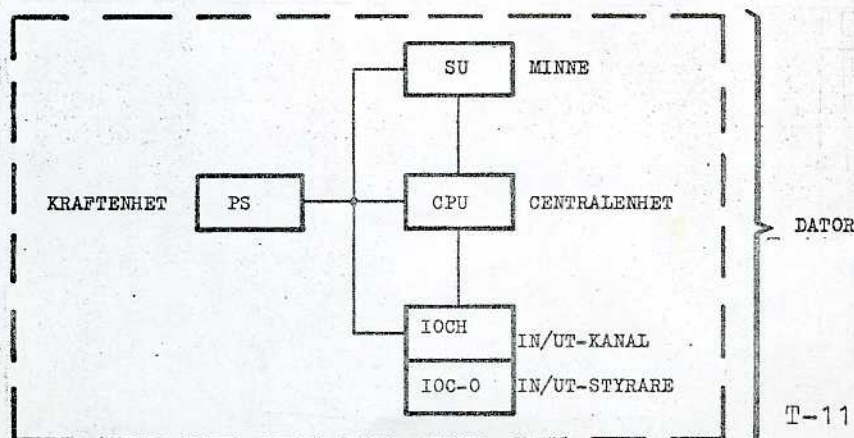


Bild 1.2
Dator D5/20
Blockschema

<p>Numn DATOR D5/20 SERIE</p>	<p>Gäller f o m</p>	<p>Utgåva 1</p>	<p>Sida 1:3</p>
-----------------------------------	---------------------	---------------------	---------------------

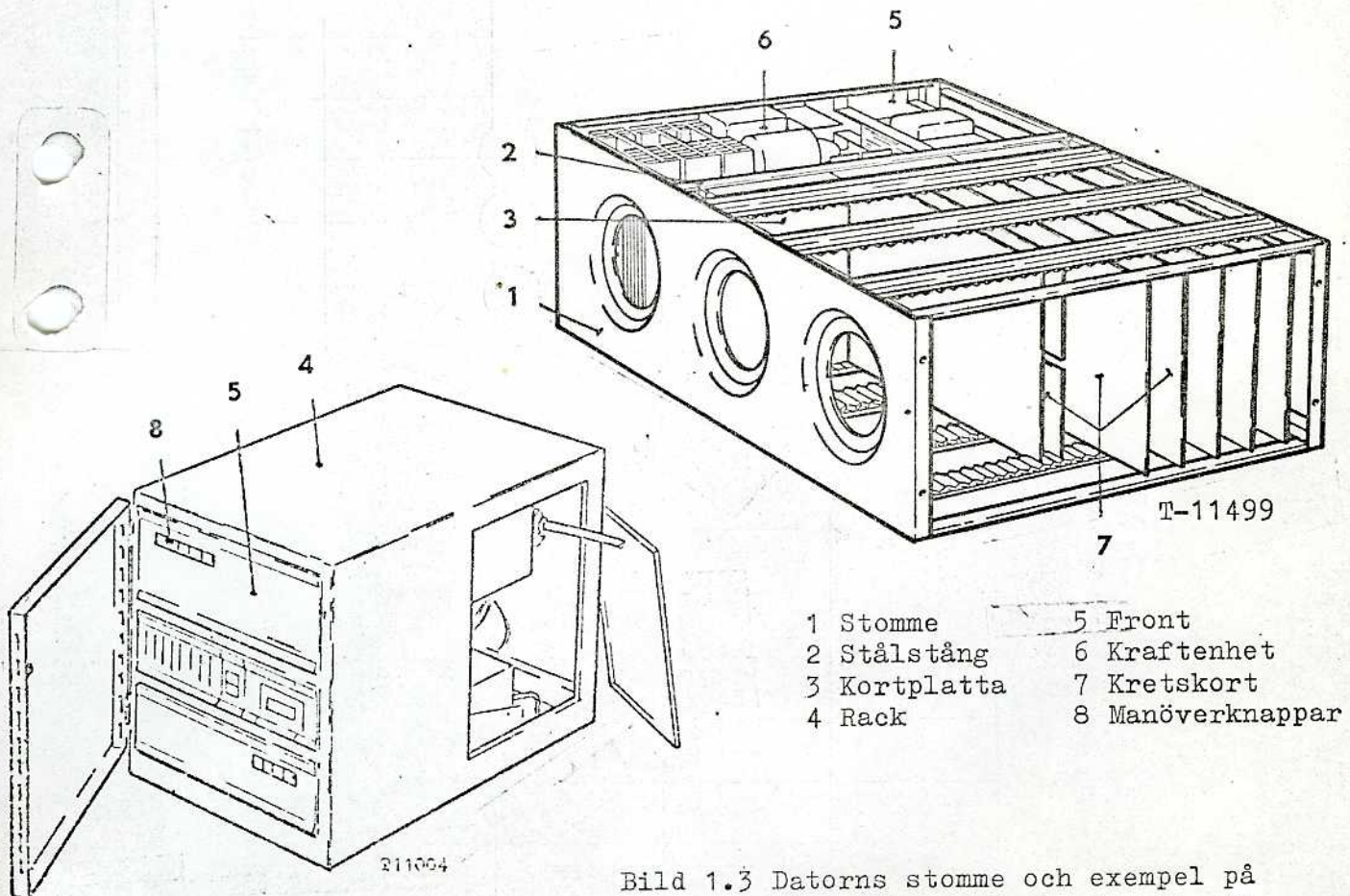
Datorns stomme (1), se bild 1.3, utgörs av ett stativ bestående av två gavlar och fyra stälstänger. Inom detta utrymme är kraftenheten (6), kortplattan (3) och kretskorten (7) placerade.

I datorn finns plats för kretskorten till minnesenheten (SU), 2-5 st, centralenheten (CPU), 1 st, in-utkanalen/styraren (IØCH/IØC-0), 1 st, 2 st bussanpassare (BA) samt 10 st anpassare ADP/XA.

Kortplattan uppbär skarvdonen för anslutning av kretskorten. Den nätanslutna kraftenheten levererar spänningar till minnesenheten, centralenheten, in-utkanalen/styraren och anslutna BA/ADP/XA.

Fronten (2) är utrustad med fem manöverknappar (1), se bild 1.4, vilka är försedda med följande texter och färger:

	Text	Färg	Lampa
a) Nät till/från	ON/OFF	Grön	X
b) Återstart	RESTART	Vit	
c) Ladda	LOAD	Gul	
d) Ej skrivskydd	WRITE	Röd	X
e) Yttre val	I	Orange	X



- | | |
|--------------|------------------|
| 1 Stomme | 5 Front |
| 2 Stälstäng | 6 Kraftenhet |
| 3 Kortplatta | 7 Kretskort |
| 4 Rack | 8 Manöverknappar |

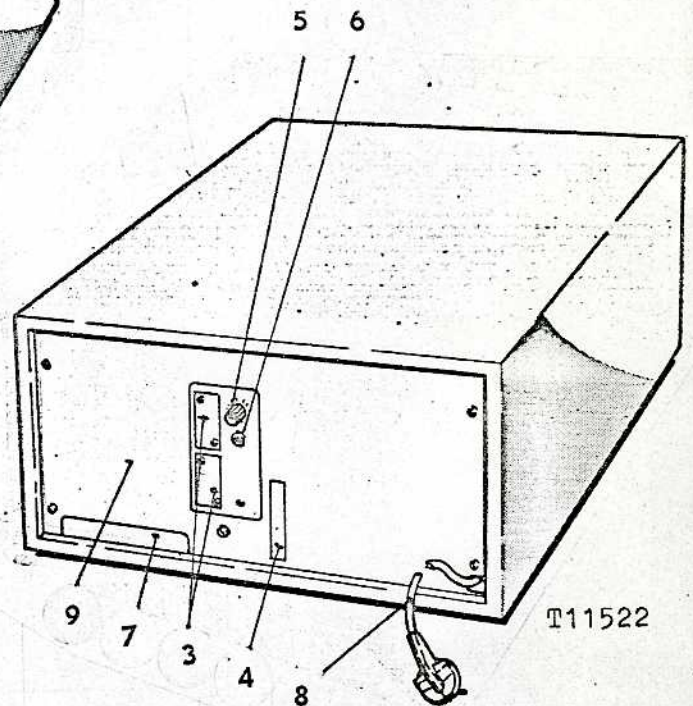
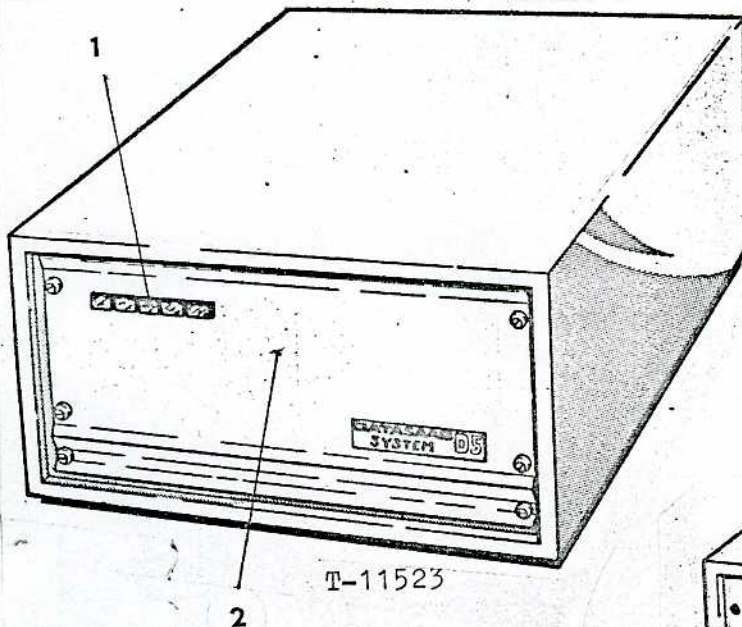
Bild 1.3 Datorns stomme och exempel på placering av dator i rackskåp

Namn	Gäller för	Utgåva	Sida
DATOR D5/20 SERIE		1	1:4

På datorns baksida, se bild 1.4, finns plats för skarvdon för anslutning av databussar (3) och manöverpanelen (4) samt urtag för ADP-kablage (7), nätanslutningskabel (8) och omkopplare (5) samt skarvdon (6) för frisläppning av ADP. Enheten kan förses med ett speciellt apparathölje, innehållande fläktenhet för kylning, avsett för de fall, då datorn placeras fristående. Färgsättningen är hållen i två grå nyanser, mörk panel och ljus hölje.

1.2.1 Logiktyp

Elektroniken är uppbyggd med transistor-transistorlogik (TTL). De flesta kretsarna arbetar med spänningsmatning +5V, varvid "0" representeras av spänning < 0.8V och "1" av spänning > 2.0V.



- 1 Manöverknappar
- 2 Front
- 3 Skarvdon för databussar
- 4 Skarvdon för manöverpanel
- 5 Omkopplare för frisläppning av ADP
- 6 Skarvdon till d:o
- 7 Urtag för ADP-kablar
- 8 Nätanslutningskabel
- 9 Bakre plåt

Bild 1.4 Datorns front och baksida

Namn DATOR D5/20 SERIE	Gäller för	Utgåva 1	Sida 1:5
---------------------------	------------	-------------	-------------

1.3 Prestanda

Dataformat: 8 och 16 bitar
 Instruktionsformat: 16 bitar
 Antal operationer: 28
 Addition (16 bitar): 9,4 μ s
 Hopp: 4,5 μ s
 Tillägg för index: 1,6 μ s
 Antal in/utadresser: 128
 Minnescykel: 1,33 μ s
 Max. minnesutbyggnad: 16 kord

1.4 Fysikaliska data

Höjd: 222 mm
 Bredd: 483 mm
 Djup: 600 mm
 Vikt: c:a 25 kg

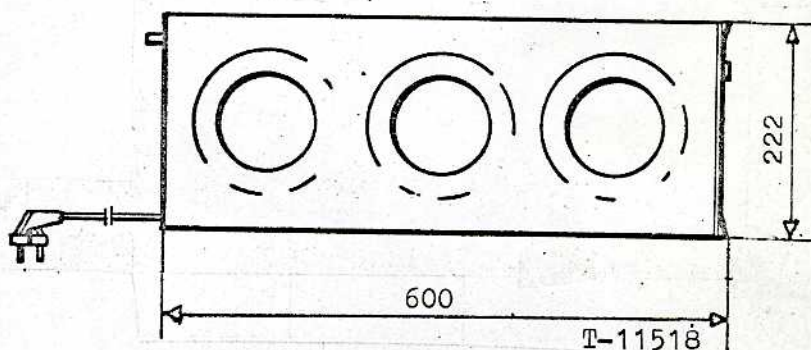
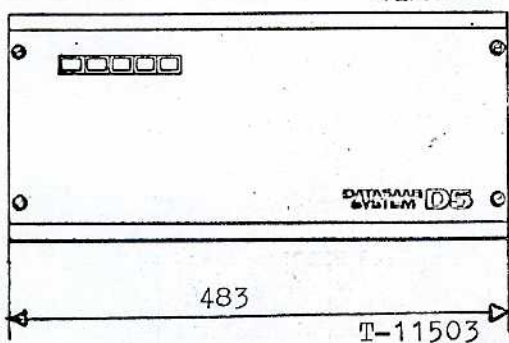


Bild 1.5 Dator D5/20. Huvudmått

Matningsspänningar och effektbehov:

Inspänning	Effektförbrukning utan anpassningar för kringutrustn.
220V $\pm 10\%$ enfas växelspanning 50 Hz $\pm 1\%$	400 VA

Namn	Gäller för	Utgåva	Sida
DATOR D5/20 SERIE		1	1:6

1.5 Miljö

Temperatur:	+10°C Min	}
	+30°C Max	
Lagringstemperatur:	-40°C Min	
Relativ fuktighet:	20% Min	
	80% Max	
Nätspänning:	220V ± 10%	
	50Hz ± 1%	

1.6 Underhåll

Servicefilosofi:

Ingen preventiv service skall förekomma. Vid fel byts del av dator, såvida felet är klart definierat. I annat fall byts dator mot reservenhet. Felaktiga enheter sänds till central serviceinstans för tillsyn.

Namn DATOR D5/20 SERIE	Gäller för	Utgåva 1	Sida 2:1
---------------------------	------------	-------------	-------------

2. ÖVERSIKTLIG BESKRIVNING

2.1 Indelning i funktionsblock

Datorn kan indelas i följande funktionsblock:

Minnesenheten (SU), som lagrar instruktioner och data, är försedd med manuell in- och urkopplingsbart skrivskydd samt paritetskontroll, som vid minnesfel påverkar centralenheten (CPU) att indikera detta. Lagrad information skyddas vid spänningsbortfall.

Centralenheten (CPU), som utgörs av en aritmetisk enhet (AU) och en styrenhet (CU).

AU utför adressbildning och aritmetiska operationer.

CU svarar för administrering av alla aktiviteter i aritmetik och logik samt vissa aktiviteter inom IØ-system och SU.

In/utkanalen (IØCH) svarar för samordningen mellan CPU och IØC. In/utstyraren (IØC) styr kommunikationerna mellan IØCH och de yttre enheterna (PU).

2.2 Funktionsblockens inbördes relationer

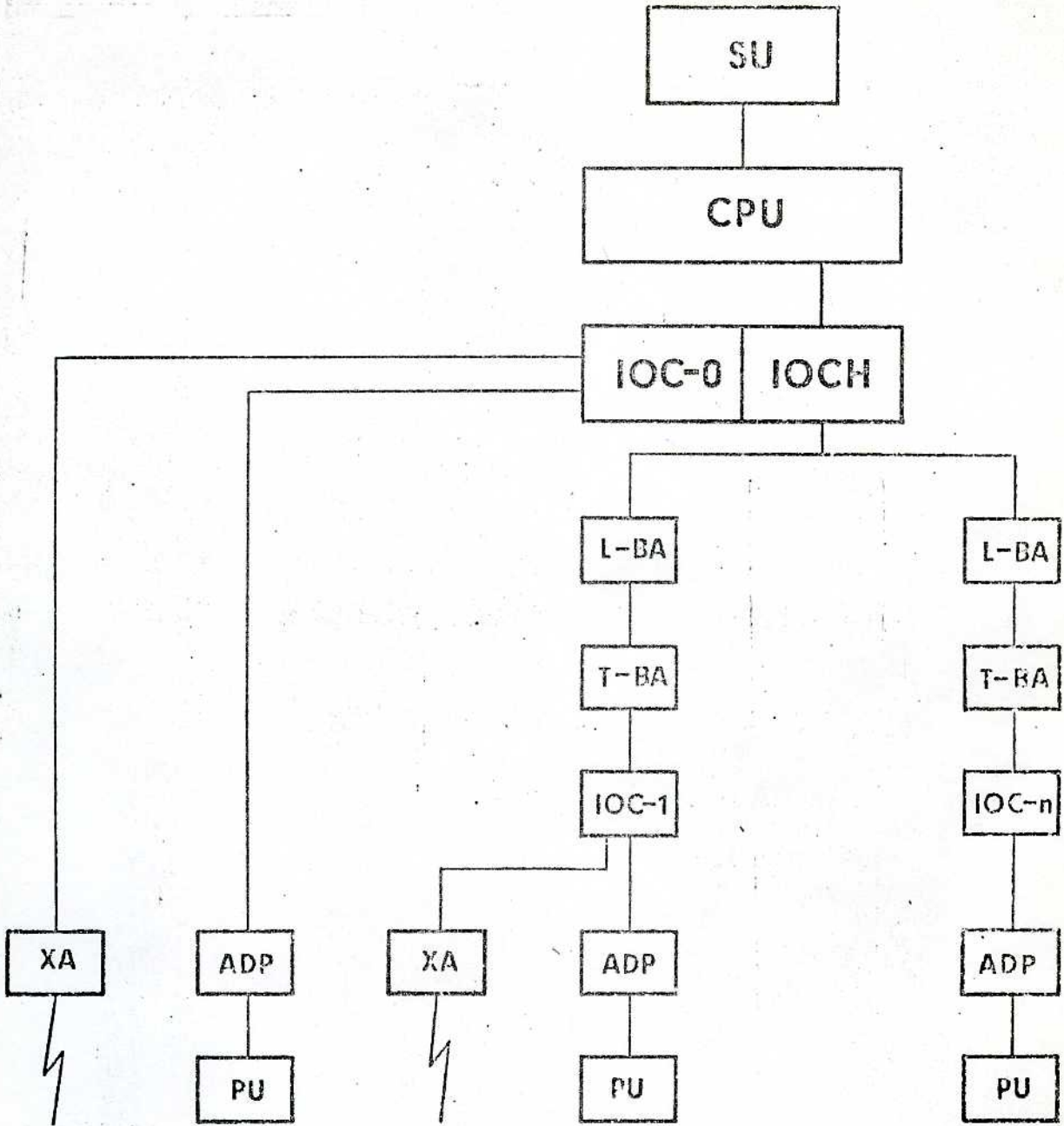
Funktionen hos datorn beskrivs nedan bl.a. med hjälp av blockschemat över dataflödet, se bild 2.1.

CU styr dataflödet inom AU samt dataöverföringen mellan CPU och SU. Kommunikationen mellan CPU och IØCH är även styrd av CU.

Datorsystemets yttre enheter (PU) ansluts till IØC genom anpassare (ADP) eller genom transmissionsanpassare (XA). Anslutning genom XA medger kommunikation med avlägsna yttre enheter över skilda typer av fjärrförbindelser. Anpassarna styr dataöverföringen mellan IØC och PU.

Kontakten mellan yttre enheter och dator är programstyrd eller anropsstyrd.

Namn DATOR D5/20 SERIE	Gäller för	Utgåva 1	Sida 2:2
---------------------------	------------	-------------	-------------



T10979

- | | | | |
|------|---------------------|------|---------------------------|
| SU | Minnesenhet | T-BA | Terminal bussanpassare |
| CPU | Centralenhet | XA | Transmissionsanpassare |
| IOCH | In/utkanal | ADP | Anpassare för yttre enhet |
| IOC | In/utstyrare | PU | Yttre enhet |
| L-BA | Lokal bussanpassare | | |

Bild 2.1 Blockschemata över dataflöde för D5/20.

Namn DATOR D5/20 SERIE	Gäller f o m	Utgåva 1	Sida 2:3
---------------------------	--------------	-------------	-------------

2.3 Funktionsblockens fysikaliska placering

Den fysikaliska placeringen framgår av bild 2.2.

Minnesenheten (SU) kan bestå av ett till fyra 1/1 kk (minnesmodulkort, SMØ 0-3 = stackkort), vilka utgör tillsats och ett 1/4 kk (styrlogikkort, SCU), som ingår i grund-enheten.

Centralenheten (CPU) består av ett 1/1 kk.

In/utsystemet (IØCH/IØC) består av ett 3/4 kk.

Dessutom ingår kraftenheten (PS).

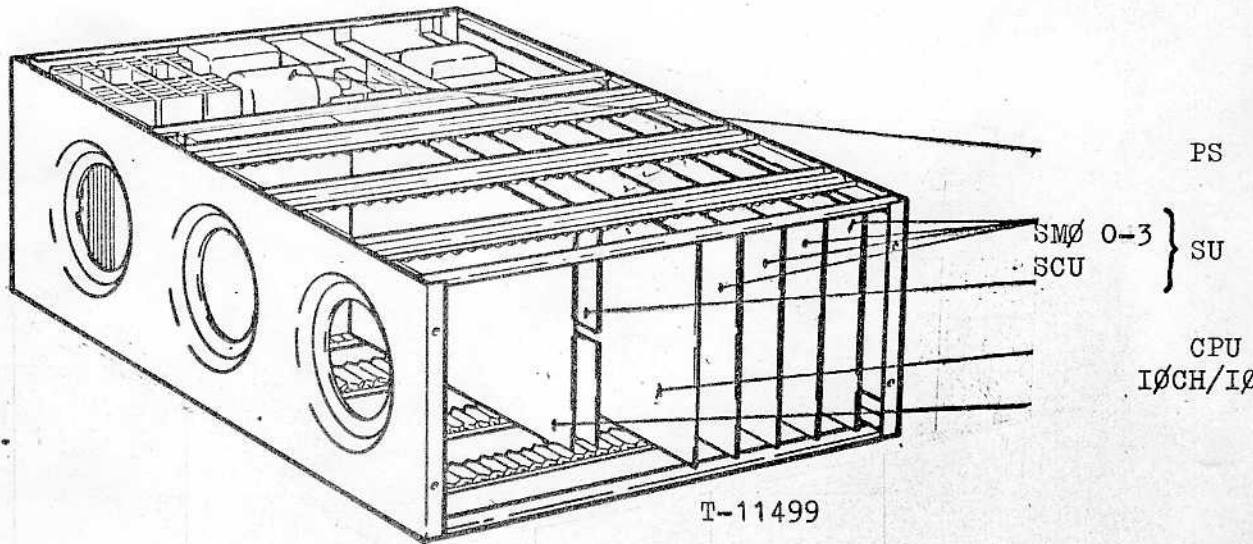


Bild 2.2 Funktionsblock. Fysikalisk placering

Namn DATOR D5/20 SERIE	Gäller för	Utgåva 1	Sida 3:1
---------------------------	------------	-------------	-------------

3. DETALJERAD BESKRIVNING

3.1 Fysikalisk presentation

Datorn kan uppdelas i följande block: front, chassie, kraft-enhet, kortplatta, kretskort och bakre plåtar, se bild.
3.1.3.

3.1.1. Uppbyggnad

3.1.1.1 Front

Fronten utgöres av en täckpanel (1), se bild 3.1.1, och en frontplåt (2).

Täckpanel

Täckpanelen är tillverkad av 0,8 mm aluminiumplåt som oxiderats och vars framsida samt kanter mattlackerats med grå färg. Panelen är försedd med ett spår (3) för datorns manöverknappar och fyra hål (4) för datorns montering i hölje.

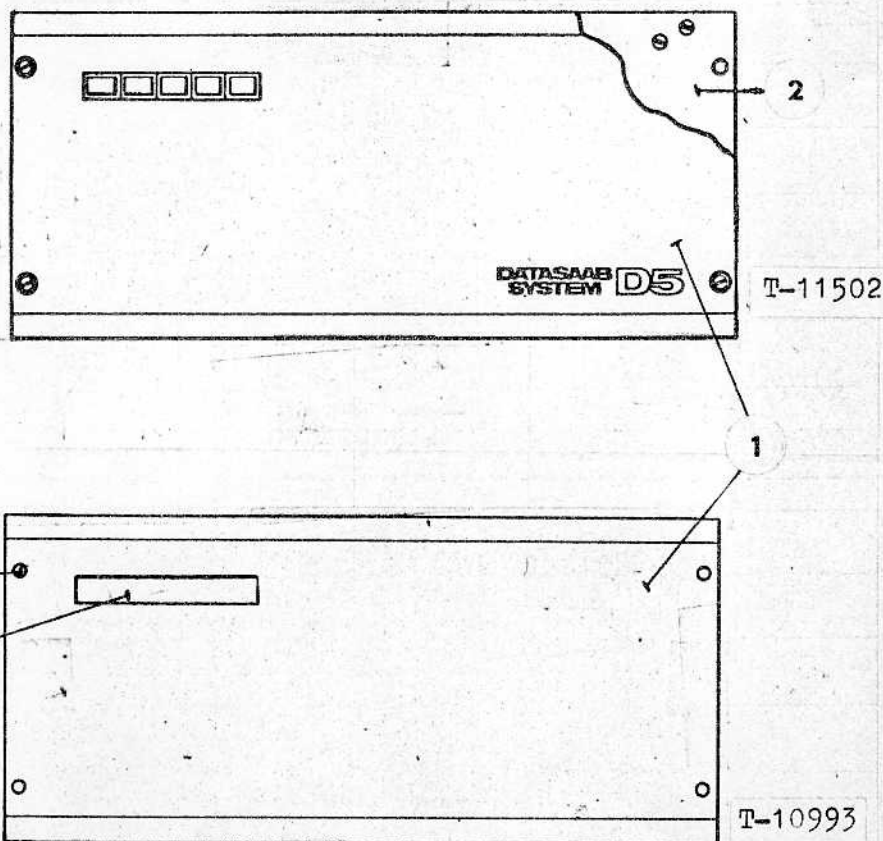


Bild 3.1.1 Täckpanel

Namn	Gäller f o m	Utgåva	Sida
DATOR D5/20 SERIE		1	3:2

Frontplåt

Frontplåten (1), se bild 3.1.2, som är placerad bakom täckpanelen, är tillverkad av 4 mm aluminiumplåt, som svartoxiderats. Plåten är försedd med hål (2) för datorns montering i hölje och hål (3) för frontplåtens montering till stativ. Dessutom är den försedd med hål (4) för kraftenhetens montering till frontplåten och hål (5) för manöverknappar. Plåten är slutligen försedd med hål (6) för återkomst av nätsäkring och hål (7) för fingergrepp (används när datorn ska tas ur hölje).

Plåten är även försedd med datorns tillverkningsnummerskylt (8) och en skylt (9) med texten "Livsfarlig spänning".

Mellan täckpanelen och frontplåten är en plastficka placerad. Den är i A5-format och är avsedd för dokument, som anger datorns innehåll och adresser.

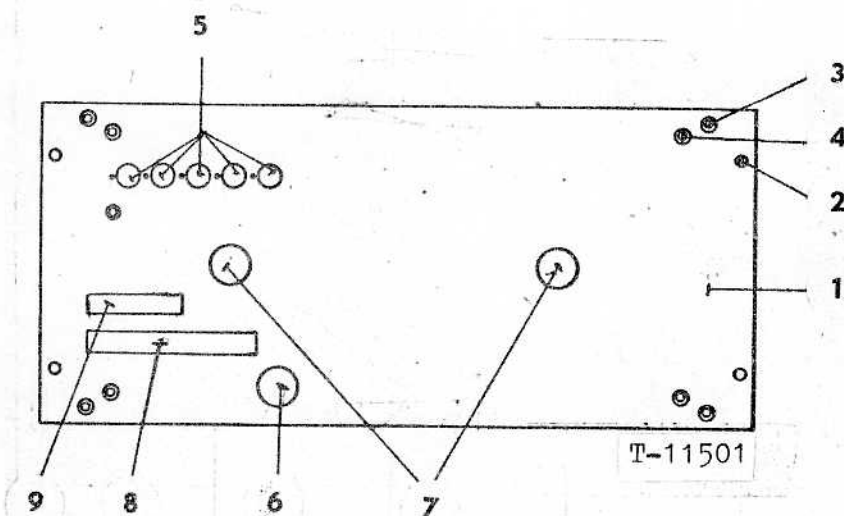


Bild 3.1.2 Frontplåt

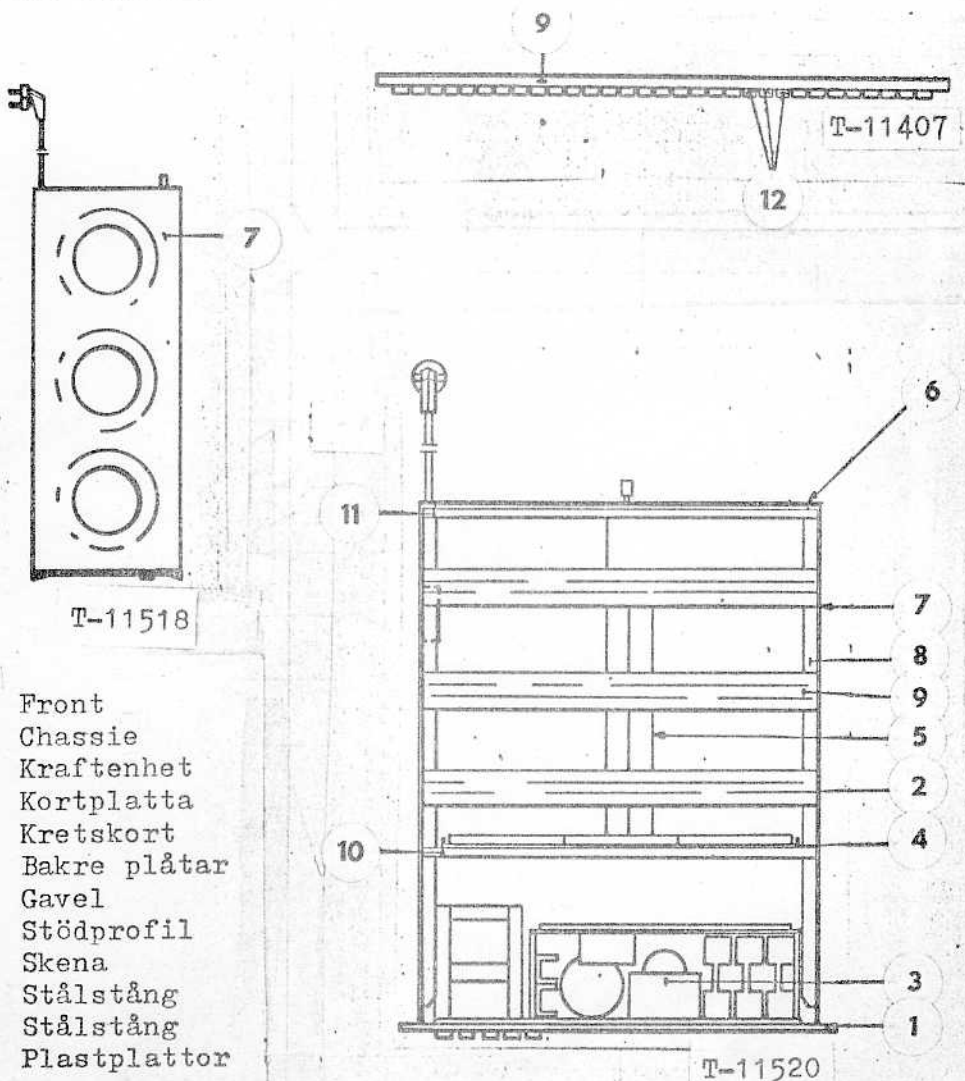
Namn DATOR D5/20 SERIE	Gäller för	Utgåva 1	Sida 3:3
---------------------------	------------	-------------	-------------

3.1.1.2 Chassie

Chassiet utgörs av ett elförzinkat och kromaterat stativ bestående av två lätthålsförsedda gavlar och fyra stålstänger.

Till varje gavel (7), se bild 3.1.3, är två stödprofiler (8) punktsvetsade. Gavlarna hålls samman av sex skenor (9). Stålstängerna (10) utgör fäste för kortplattan och till stålstängerna (11) är bakre mittplåten monterad. Den undre stängen (11) är dessutom avsedd som fästskena för avlastningar av ADP-kablar. Till denna skena är även ADP-kablarnas skärm ansluten.

Varje skena (9) är försedd med 31 plastplattor (12), som utgör styrning för kretskorten (5). Plattorna är placerade med $\frac{1}{2}$ " delning för att stativet skall kunna användas i andra enheter.



- 1 Front
- 2 Chassie
- 3 Kraftenhet
- 4 Kortplatta
- 5 Kretskort
- 6 Bakre plåtar
- 7 Gavel
- 8 Stödprofil
- 9 Skena
- 10 Stålstång
- 11 Stålstång
- 12 Plastplattor

Bild 3.1.3 Chassie. Uppbyggnad.

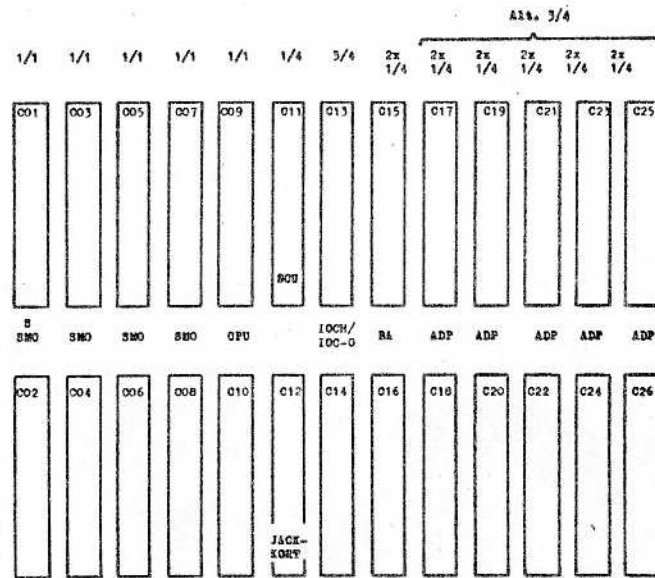
Namn DATOR D5/20 SERIE	Gäller f o m	Utgåva 1	Sida 3:4
---------------------------	--------------	-------------	-------------

3.1.1.3 Kortplatta (KP)

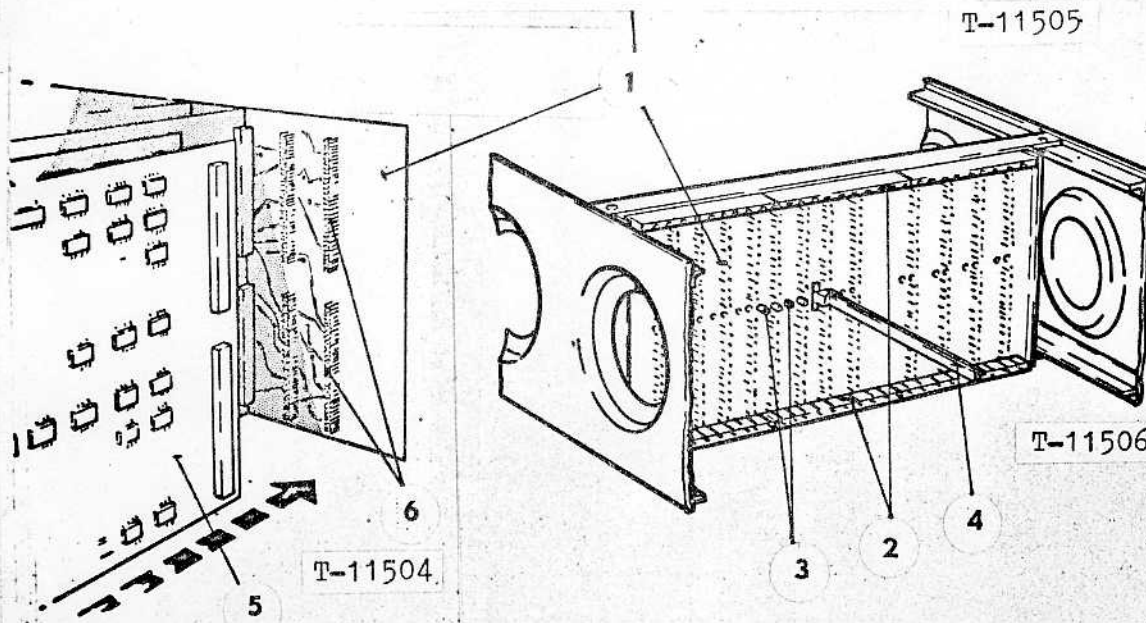
Kortplattan finns i både virat och pläterat utförande.

Den omfattar 13 st dubbelplatser för KK med sammanlagt 26 st skarvdon (6). Se bild 3.1.4.

Till kortplattan (1) är tre övre och tre undre styrlister (2) monterade, vars uppgift är att styra in kretskorten (5) i höjd- och sidled. För 1/1 kk och 3/4 kk finns dessutom styrtappar (3) monterade på kortplattan för att ge styrning på mitten. Beträffande 1/4 kk är styrtapparna utbytta mot en styrgejd (4).



Kortplatta sedd från PS



Kretskort och kortplatta

Kortplatta sedd mot PS

Bild 3.1.4 Kortplatta och kretskort. Placeringar

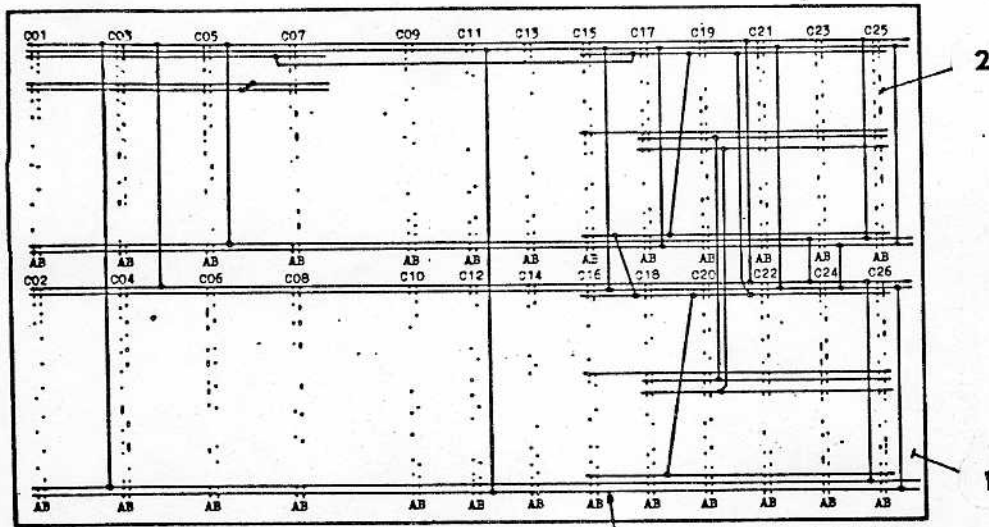
Namn DATOR D5/20 SERIE	Gäller f o m	Utgåva 1	Sida 3:5
---------------------------	--------------	-------------	-------------

Kortplatta i virat utförande

Kortplattan (1), se bild 3.1.5, är tillverkad av 2 mm aluminiumplåt och försedd med 26 st 72-poliga stiftdon (2). Stiftdonens ena sida är avsedd för inpluggning av kk och den andra för minivirning. Spänningsmatning mellan korten sker med hjälp av spänningsskenor (3), som är lödda till stiften på kortplattans vir-sida (mot kraftenheten).

Vid spänningsskenor sker anslutningen med fastonhylsor (flatstiftskontakter).

Signalöverföring från manöverknappar och kraftenhet till kortplattan sker via skarvdon anslutet till virstiften.



Kortplatta sedd från PS

T-11509

3



T-11509

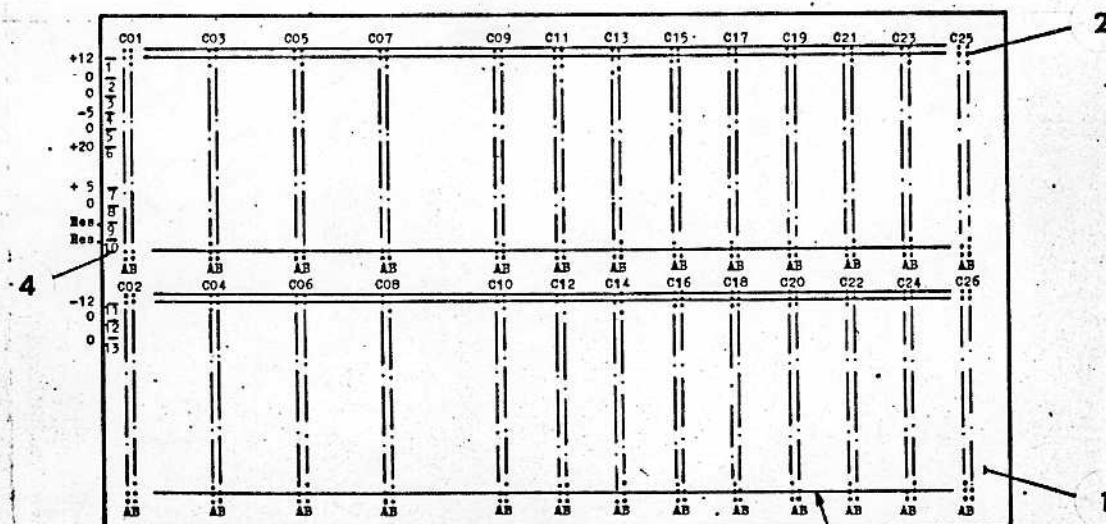
Bild 3.1.5 Kortplatta i virat utförande.

Namn DATOR D5/20 SERIE	Gäller för	Utgåva 1	Sida 3:6
---------------------------	------------	-------------	-------------

Kortplatta i pläterat utförande

Kortplattan (1), se bild 3.1.6, är tillverkad av 2 mm glasfiberlaminat och har dubbelsidigt pläterade förbindningar. Kortplattan är försedd med kvadratiska, våglödda stift (2), vilka placerats så, att 26 st 72-poliga skarvdon erhålls för kretskortens inpluggning. Spänningsmatning mellan korten sker med pläterade förbindningar och spänningskenor, s.k. busbars (3) placerade på kortplattans lödsida.

De spänningsförande ledningarna är anslutna till kortplattans stift (4).



Kortplatta sedd från PS.

T-11508



T-11513

Bild 3.1.6 Kortplatta i pläterat utförande

Namn	Gäller för	Utgåva	Sida
DATOR D5/20 SERIE		1	3:7

3.1.1.4 Kretskort (KK)

Datorn rymmer följande kretskort, se bild 3.1.7:

Fyra minneskort (SMØ), som dock utgör tillsats.
Ett CPU-kort, ett SCU-kort och ett IOCH/IOC-0 kk.

Dessutom kan förekomma två L-BA kk eller ett L-BA kk och ett L-NA kk samt ett antal ADP kk (max 10 st 1/4 kk), vilka dock utgör tillsats. KK är uppbyggda med DIP-kapslar och pläterade på båda sidor, men även virade kk kan förekomma.

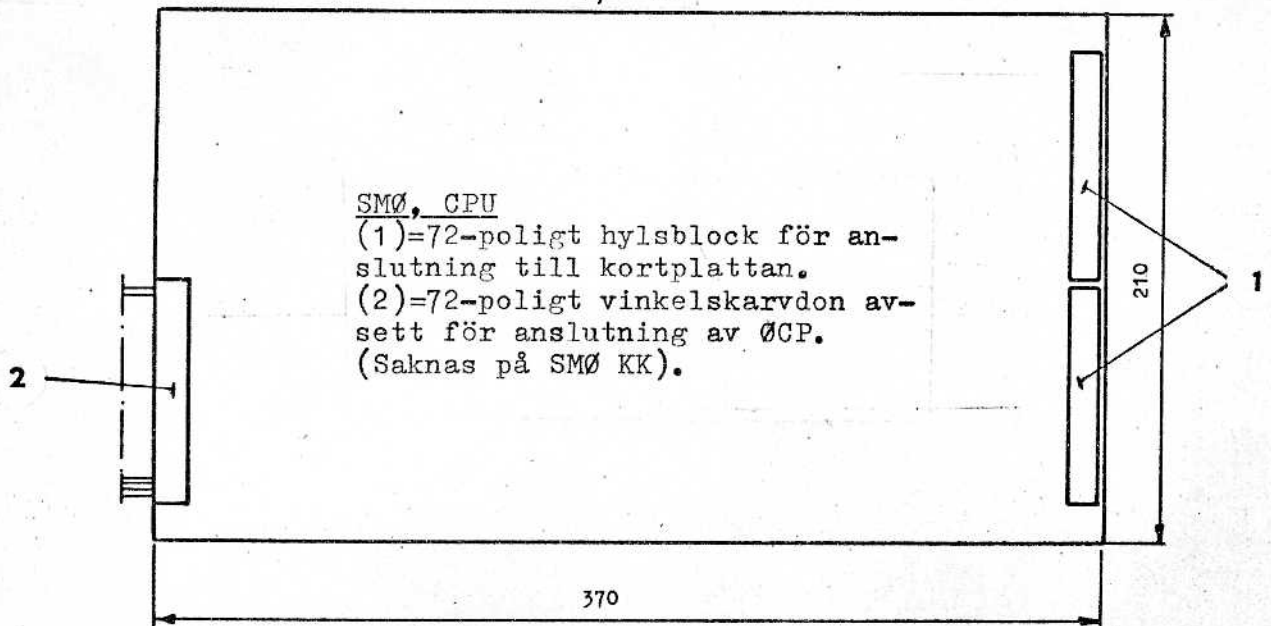
Kretskorten är tillverkade av 1.6 mm glasfiberlaminat och överdragna med ett kopparskikt och ett koppar-bly-tennskikt. Vilken som är kortets komponentsida (k-sida) framgår av märkningen (1) på kortet, se bild 3.1.8.

Kretskorten (2) har pläterad ledningsdragning och är uppbyggda med både DIP-kapslar (3), tjockfilmsmoduler (4) och diskreta komponenter. CPU-kortet är dessutom försett med socklar (5) för inkoppling av skrivskydd (WRITE) och återföring (RESET).

DIP-kapslarna (3) är placerade i pläterade hål. Kapslarna är våglödda och distribuering av spänning resp. 0V sker för CPU-kortet i huvudsak med hjälp av busbars (6).

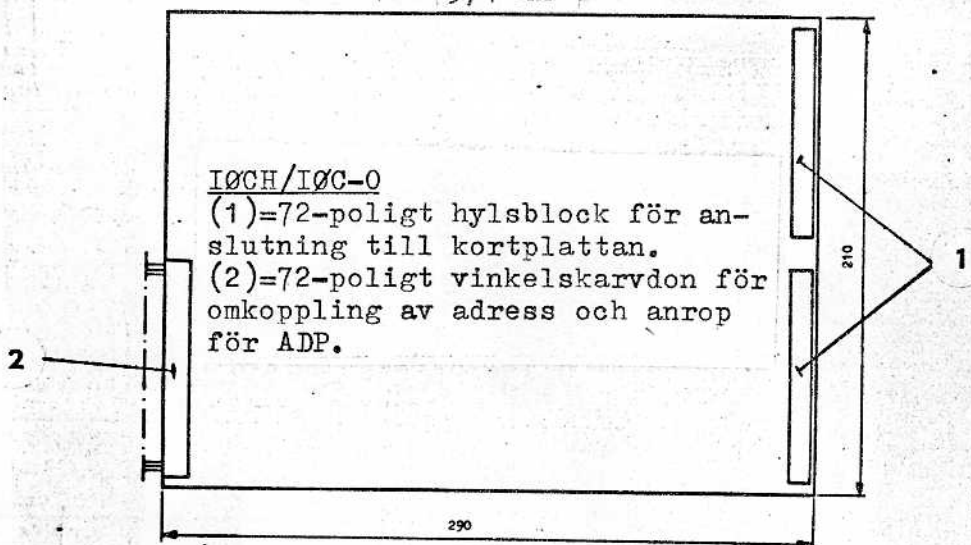
Namn DATOR D5/20 SERIE	Gäller för m	Utgåva 1	Sida 3:8
---------------------------	--------------	-------------	-------------

1/1 KK



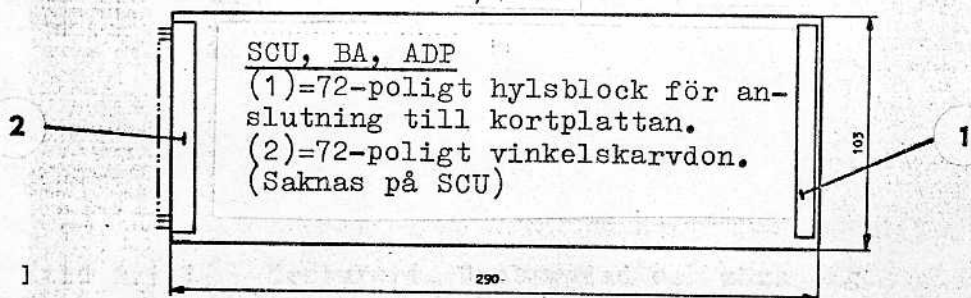
T-11526

3/4 KK



T-11525

1/4 KK



T-11412

Bild 3.1.7 Kretskort (KK)

Namn DATOR D5/20 SERIE	Gäller f o m	Utgåva 1	Sida 3:9
---------------------------	--------------	-------------	-------------

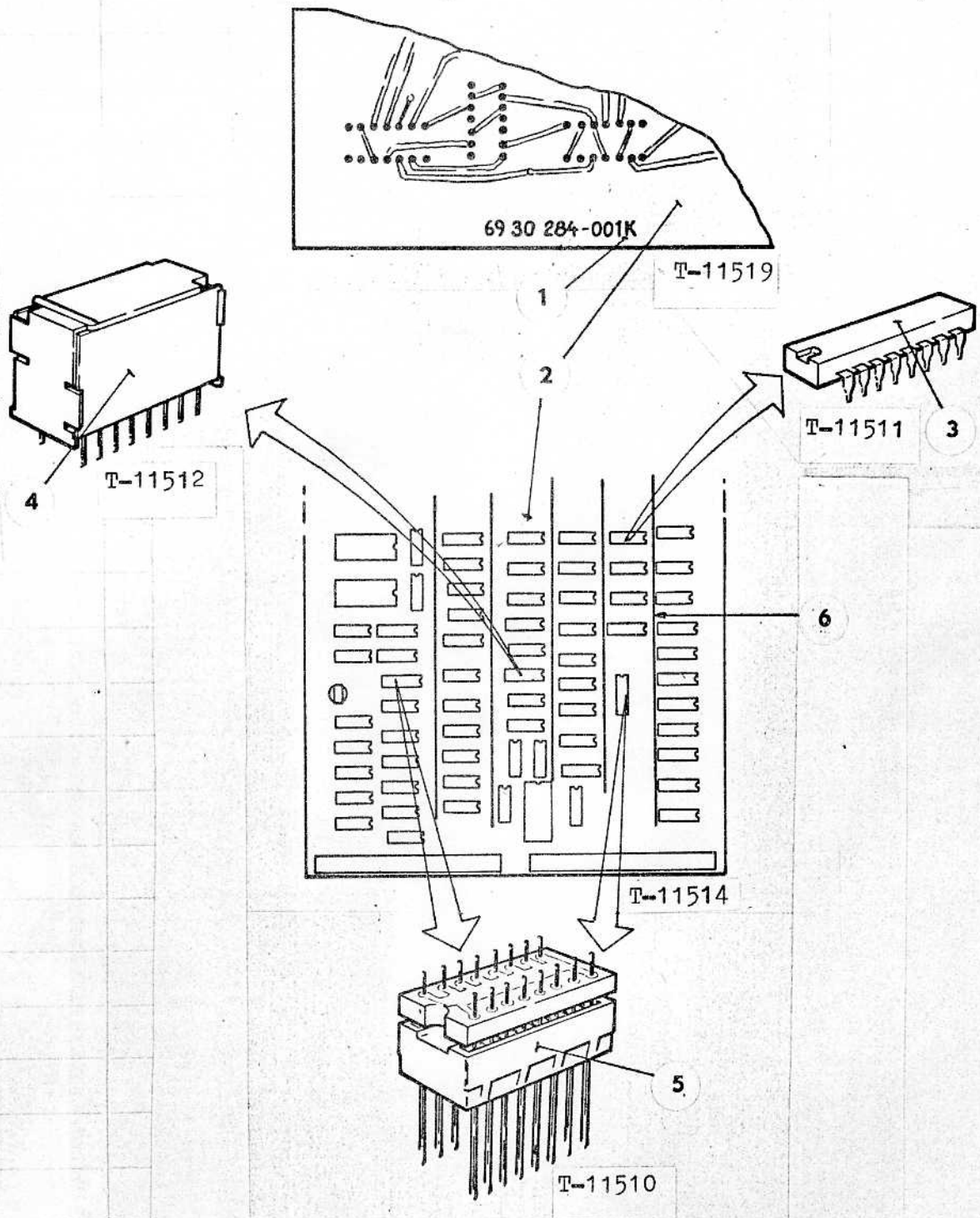


Bild 3.1.8 Kretskort. Uppbyggnad och märkning

151 5003101-062:9 av 20,000 507/02

<p>Namn DATOR D5/20 SERIE</p>	<p>Gäller för</p>	<p>Utgåva 1</p>	<p>Sida 3:10</p>
-----------------------------------	-------------------	---------------------	----------------------

3.1.1.5 Kablage

Följande kablar och kablage ingår i datorn. (Exkl. kraft-enhetens interna kablage.) Se bild 3.1.9.

Ett sytt kablage (1) mellan kortplattan (KP) och kraft-enheten (PS).

En inre nätanslutningskabel (2).

Fläktanslutningskabeln (3).

Ett sytt kablage (4) från kortplatta till omkopplare och hylspropp vid bakre plåten, avsett för frisläppning av ADP.

Anslutningarna vid tryckknappar, hylspropp och omkopplare är lödda. Övriga anslutningar är pluggbara.

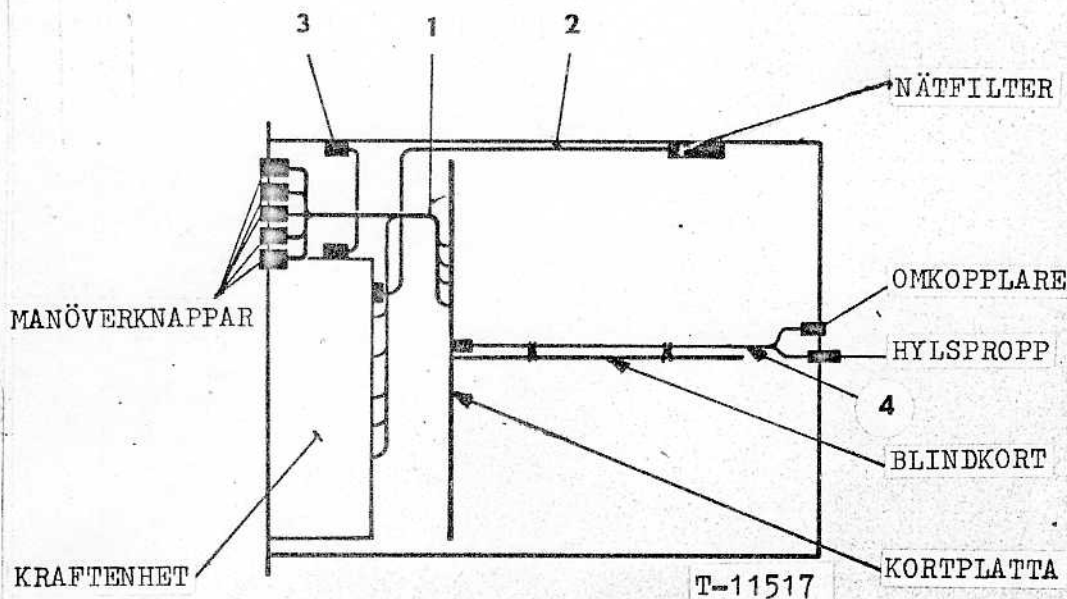


Bild 3.1.9. Kablar och kablage

Namn	Gäller för	Utgåva	Sida
DATOR D5/20 SERIE		1	3:11

3.1.1.6 Bakre plåtar

De två bakre plåtarna, som benämnes bakre plåt (1) och bakre mittplåt (2), se bild 3.1.10, avgränsar datorn bakåt. När datorn placeras i datorhurts (rackmontering) monteras inte bakre plåten (1). Plåtarna är lackerade i en grå nyans.

Den bakre plåten (1), som är tillverkad av 2 mm aluminiumplåt, är försedd med ett rektangulärt hål (3) för bakre mittplåt (2) och ett hål (4) för anslutning av ØCP till CPU kk. Plåten har även ett urtag (5) för ADP-kablar och ett urtag (6) för nätkabel. Plåten är slutligen försedd med fyra hål (7) för dess infästning till stativet och ett hål (8) för dess montering till bakre mittplåt.

Den bakre mittplåten (2), som är tillverkad av 1.5 mm stålplåt, är försedd med ett trepoligt skarvdön (9), en tiolägesomkopplare för frisläppning av ADP (10) och en banankontakthylsa (11) för skärmanlutning av ØCP-kablage. Plåten är även försedd med två hål för 75-poliga busskarvdön. Över dessa hål är blindplåtar (12) monterade. Slutligen är bakre mittplåten försedd med två hål och två spår för montering till stativet och ett hål för bakre plåtens (1) montering.

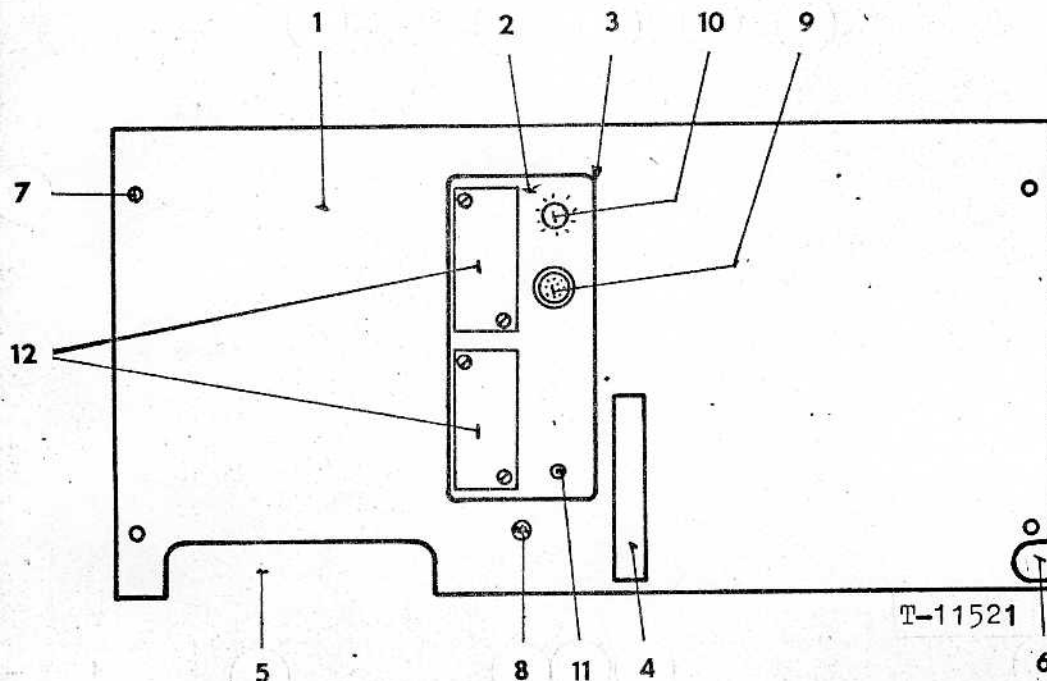


Bild 3.1.10 Bakre plåtar. Uppbyggnad

Namn	Gäller för	Utgåva	Sida
DATOR D5/20 SERIE		1	3:12

3.2 Kraftenhet PSI-B (PS)

Kraftenheten, vars uppgift är att driva datorns elektronik, levererar erforderliga likspänningar. Den är dessutom försedd med logik för styrning av en av likspänningarna. Kraftenheten alstrar även kontrollsignaler vid till- och frånslag. Enheten är avsedd att anslutas till 220V, 50 Hz.

3.2.1 Uppbyggnad

Kraftenheten (1), se bild 3.2.1, är uppbyggd på en till frontplåten (2) fastskruvad basplatta (3).

På basplattan är transformatorn (4), se bild 3.2.2, drosseln (3), fyra värmesänkor för dioder (6), fyra värmesänkor för transistorer (5), kondensatorer (10) och motstånd monterade. Dessutom är nätsäkringshållare (8) och sex-kantdistanser monterade på basplattan. Distanserna är sammanbundna med två fästlister (2). Listerna utgör fäste för ett kretskort (12) innehållande spänningsregulatorer och logik. På listerna har även en kondensator, ett nätanslutningsdon (9) och en stödfot (7) monterats. På kretskortet (11) är fyra likriktarbrygger uppbyggda. Nätfiltret (5), se bild 3.2.1, är ur störningssynpunkt placerat i stativets bakre del.

För att komma åt att byta nätsäkring, behöver endast täckpanelen tas bort.

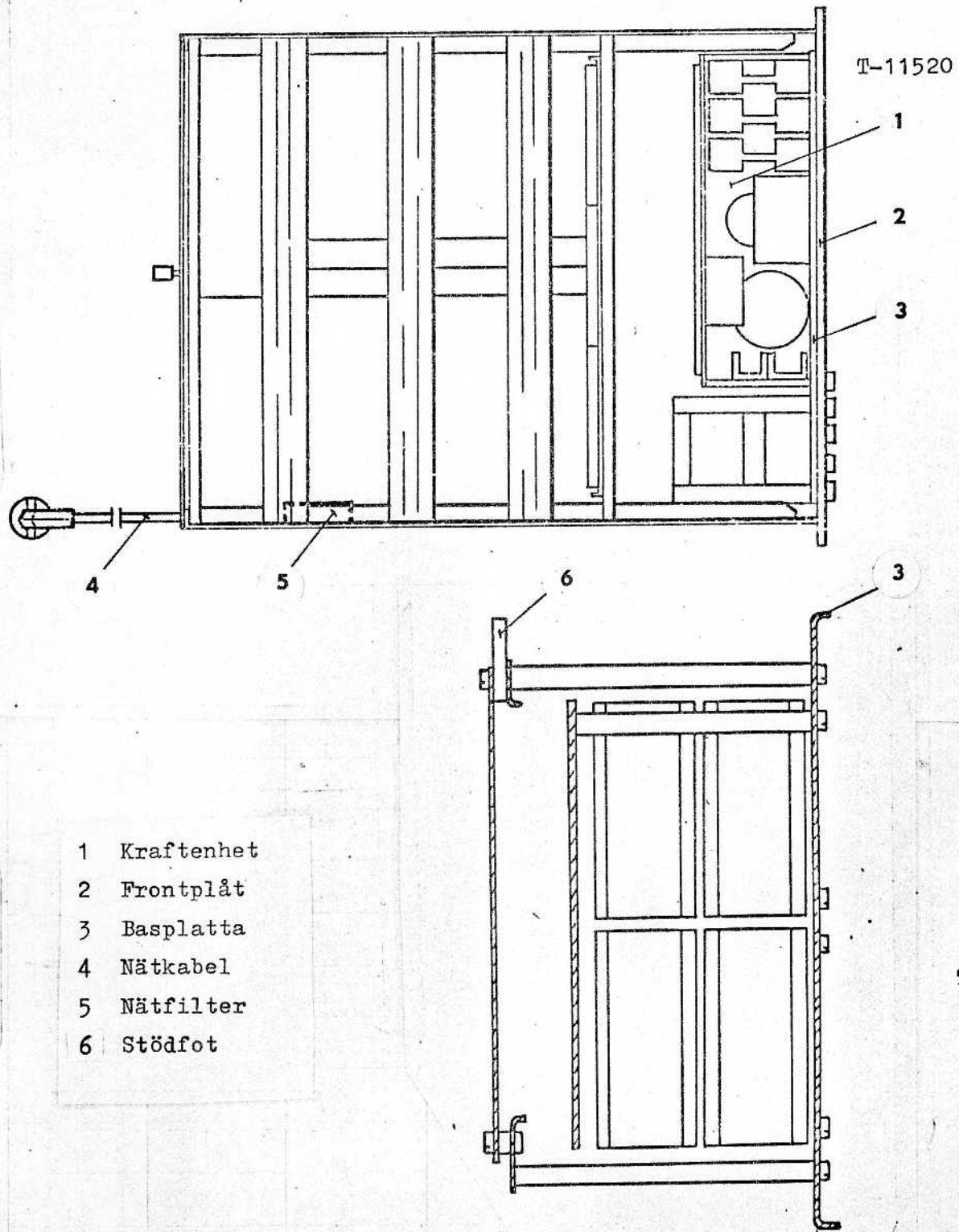
Kraftenheten anslutes till NÄT med kabeln (4), se bild 3.2.1.

Transformator

Transformatorn är avsedd att anslutas till enfas 220V, 50Hz. Primärsidan har uttag även för 210V och 230V, se bild 3.2.3.

Sekundärsidan är försedd med en lindning för varje spänning. Dessutom har den lindningar för hjälpspanning för +5V och SU-sp. samt en lindning för nätspänningsavkänning.

Namn DATOR D5/20 SERIE	Gäller för m	Utgåva 1	Sida 3:13
---------------------------	--------------	-------------	--------------

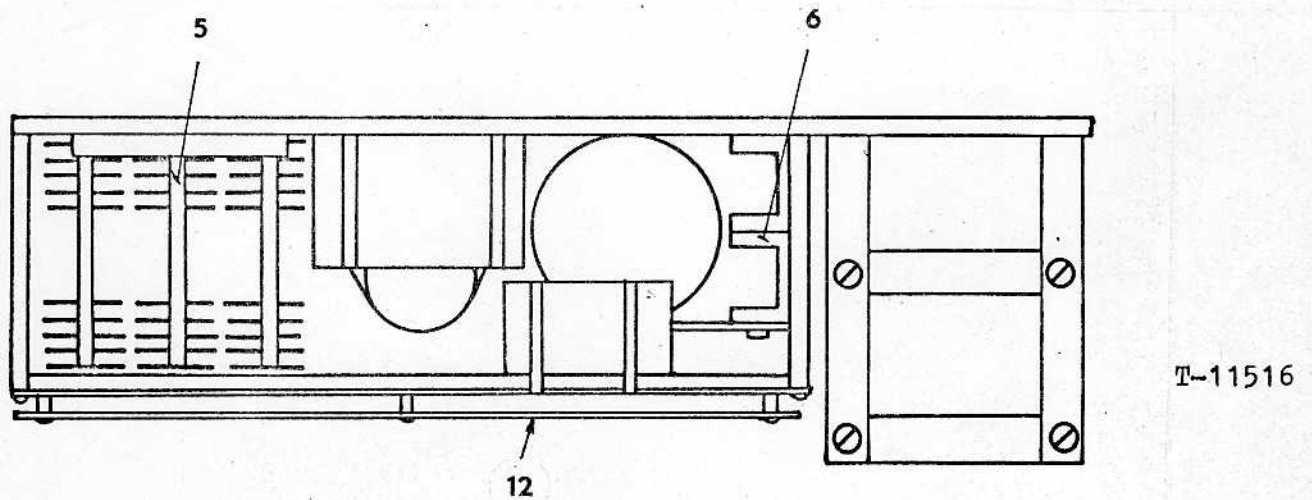
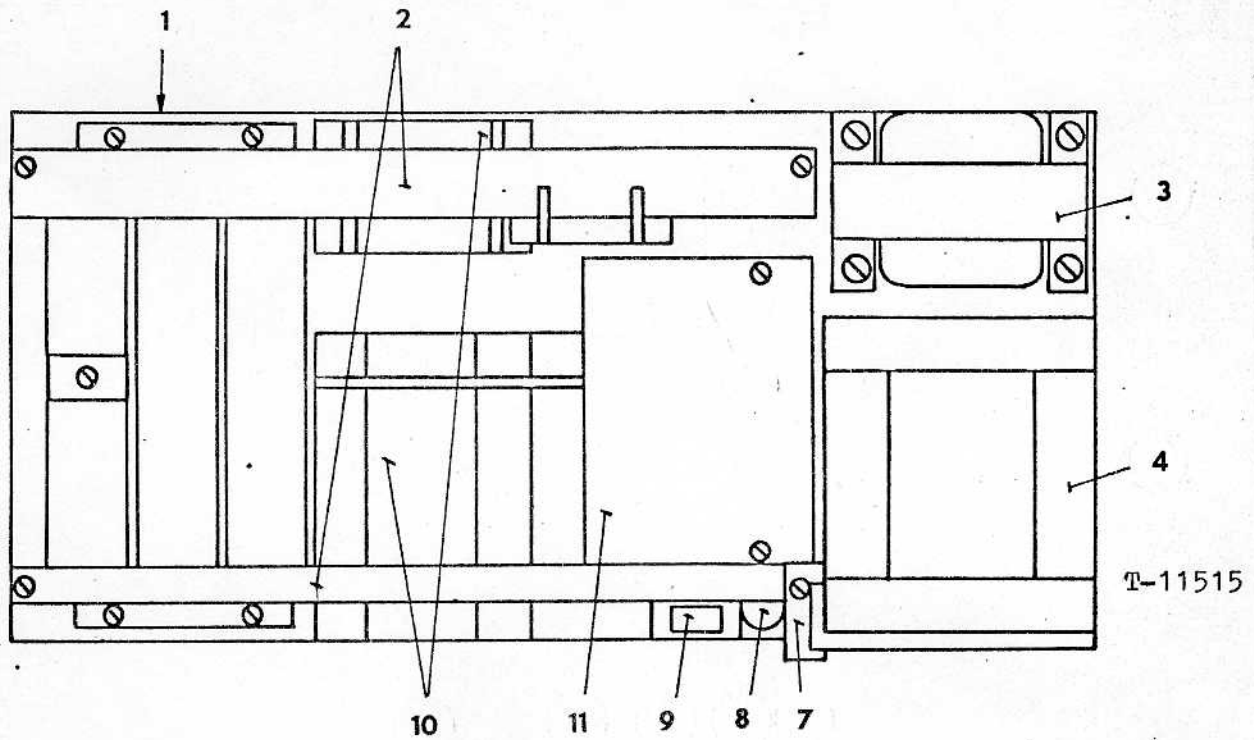


- 1 Kraftenhet
- 2 Frontplåt
- 3 Basplatta
- 4 Nätkabel
- 5 Nätfilter
- 6 Stödfot

Bild 3.2.1 Kraftenhet,PSI-B. Uppbyggnad.

T-10982

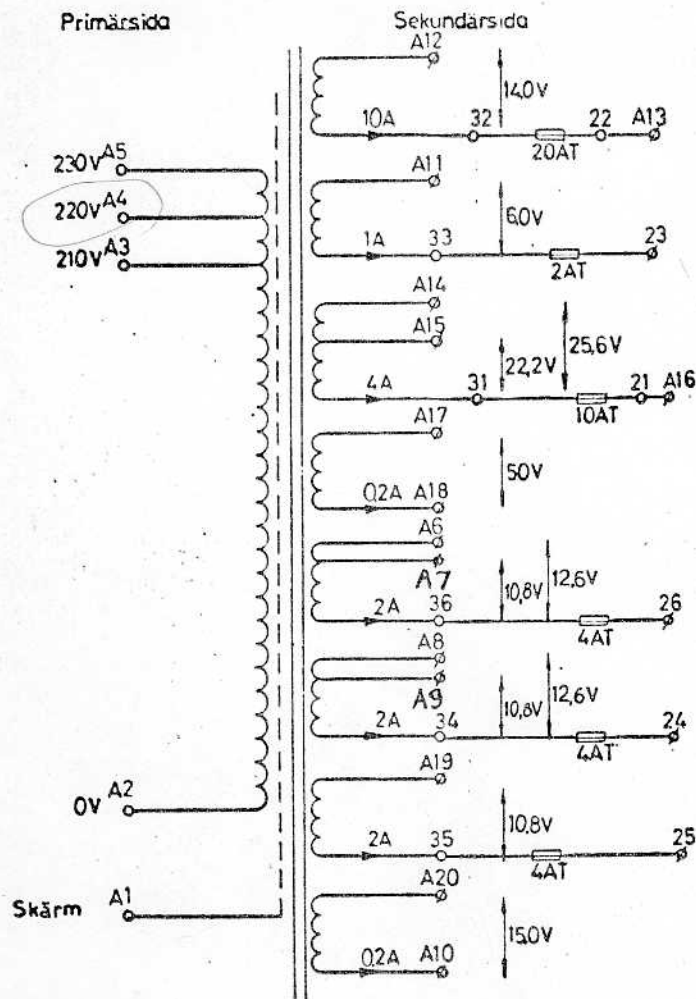
Namn DATOR D5/20 SERIE	Gäller för m	Utgåva 1	Sida 3:14
---------------------------	--------------	-------------	--------------



- | | |
|--------------------------------------|------------------------|
| 1 Basplatta | 7 Stödfot |
| 2 Fästplatta | 8 Nätsäkringshållare |
| 3 Drossel | 9 Nätanslutningsdon |
| 4 Transformator | 10 Kondensatorer |
| 5 Värmesänkor för transistorer U_I | 11 KK Likriktarbryggor |
| 6 Värmesänkor för dioder | 12 KK Logik |

Bild 3.2.2 Kraftenhet PS1-B. Uppbyggnad

Namn DATOR D5/20 SERIE	Gäller f o m	Utgåva 1	Sida 3:15
---------------------------	--------------	-------------	--------------



+5V huvudspänning

+5V hjälpspänning

SU-sp(+21V) huvudspänning

SU-sp(+21V) hjälpspänning

-12V - spänning

+12V - spänning

- 5V - spänning

Nätspänningsavkänning.

Spänningarna angivna i
RMS-värden (effektivvärden)

T-10978-1

Bild 3.2.3 Transformator. Principschema.

Prestanda:

Spänning	Tolerans	Min. ström	Max. ström
+ 5V	+0.15V -0.10V	1A	12A
- 5V	+0.10V -0.15V	0	4A
+12V	±1.5V	0.1A	1.0A
-12V	±1.5V	0.1A	1.0A
SU-SP(+21V)	±0.7V	0	2.5A

Spänningstoleranserna inkluderar variationerna beroende på inspännings- och frekvensfluktuationen, laständringar och brum (rippel).

Kontrollsignaler:

PSGØ
PØN
PØFF

Namn	Gäller för	Utgåva	Sida
DATOR D5/20 SERIE		1	3:16

Systemuppbyggnaden framgår av blockschema, se bild 3.2.10.

På primärsidan ansluts nätspänningen till transformatorn T1 via säkringen (B09), nätfiltret (B11) och strömbrytaren (SST-1). Över transformatorn finns en kondensator för avkoppling av störningar från strömbrytaren. Transformatorn har uttag för 210, 220 och 230V.

På sekundärsidan matar transformatorn T1 likspänningsstabilisatorerna via likriktare och glättningsfilter. En logikkrets känner av nätspänningen via en skundärlindning på T1. Logiken sänder kontrollsignaler till CPU som blockeras, när kraftenheten ej fungerar normalt.

Vid nättillslag stiger spänningarna $\pm 5V$ och $\pm 12V$ till sitt nominella värde. Endast tidkonstanten i glättningsfiltren bestämmer stigtiden.

SU-spänningen slås till 5 ms efter det att nätströmställaren släppts under förutsättning att +5V förekommer. Därefter avger kraftenheten klarsignalen PSG \emptyset (175 ms efter att SU-spänningen nått 19V-nivån).

Vid nätfrånslag försvinner PS G \emptyset . Min. 300 μs därefter strypps och kortsluts SU-sp. Övriga spänningar sjunker med respektive tidskonstant. Se bild 3.2.9.

Indikeringslampan i $\emptyset N/\emptyset FF$ -knappen på frontpanelen är kopplad till SU-spänningens transformatorlindning.

3.2.2 Funktion

Följande funktionsenheter beskrivs nedan:

+12V - likriktare

+12V-spänningen är endast likriktad och glättad (ostabiliserad).

-12V - likriktare

Se +12V ovan.

-5V - stabilisator

-5V-spänningen är likriktad, glättad och därefter stabiliserad med en konventionell positiv serieregulator. För att erhålla -5V, jordas plus-sidan av den reglerade spänningen. Stabilisatorn är försedd med överspänningsskydd.

Namn	Gäller för	Utgåva	Sida
DATOR D5/20 SERIE		1	3:17

+5V - stabilisator

+5V-spänningen är likriktad, glättad och stabiliserad med en konventionell serieregulator. För drivning används hjälp-spänning. Stabilisatorn är försedd med överspänningskydd.

+21V - stabilisator

Spänningen används för drivning av minnesenheten och kallas därför SU-sp. Den är likriktad, glättad och stabiliserad med en konventionell serieregulator. För drivningen används hjälp-spänning. SU-spänningen har styrt till- och frånslag.

Stabilisatorn är försedd med överspänningskydd.

Logik

Logiken ombesörjer styrningen av SU-spänningen och sänder kontrollsignaler.

3.2.2.1 +12V - likriktare

Se bild 3.2.11.

Likriktaren består av fyra kiseldioder (CR103), koppelade som helvägsbrygga. Bryggan följs av filterkondensatorn (C34) och avkopplingskondensatorn (C35). Transformatorn är säkrad med den tröga finsäkringen 4A (F11).

Data:

Inspänning: $10,8V \pm 5\%$ RMS
 Utspänning: $12V \pm 1,5V$
 Max.strömottag: 1,0A

3.2.2.2 -12V - likriktare

Se beskrivning ovan och bild 3.2.11.

3.2.2.3 -5V - stabilisator

Se bild 3.2.12.

Likriktaren är en helvägsbrygga med fyra kiseldioder (CR102). Den följs av filterkondensatorn (C32) och avkopplingskondensatorn (C33). Växelspänningsingången är säkrad med den tröga finsäkringen 4AT (F9).

Som spänningsstabilisator används en konventionell serieregulator, se bild 3.2.4. Serieregulatorns huvudelement är en integrerad spänningsregulator med inbyggd referens, se bild 3.2.5.

Namn FATOR D5/20 SERIE	Gäller för	Utgåva 1.	Sida 3:18
---------------------------	------------	--------------	--------------

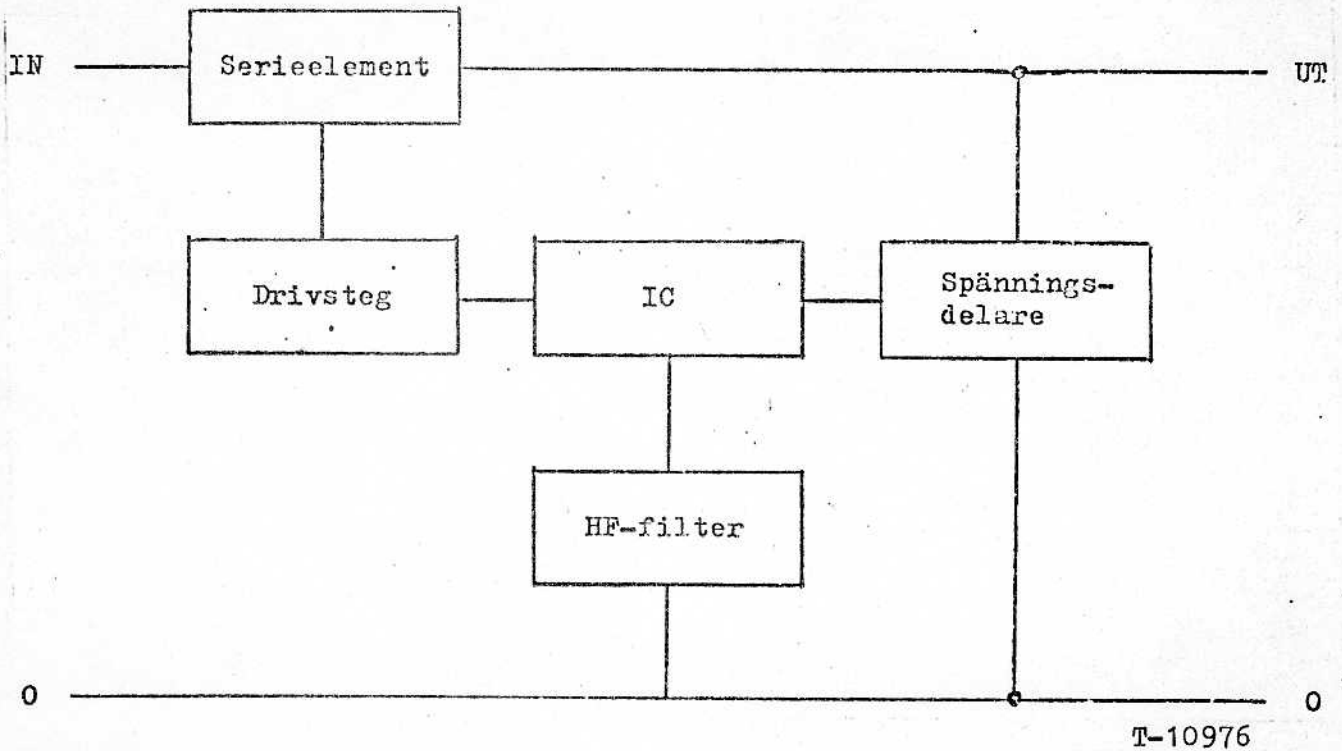
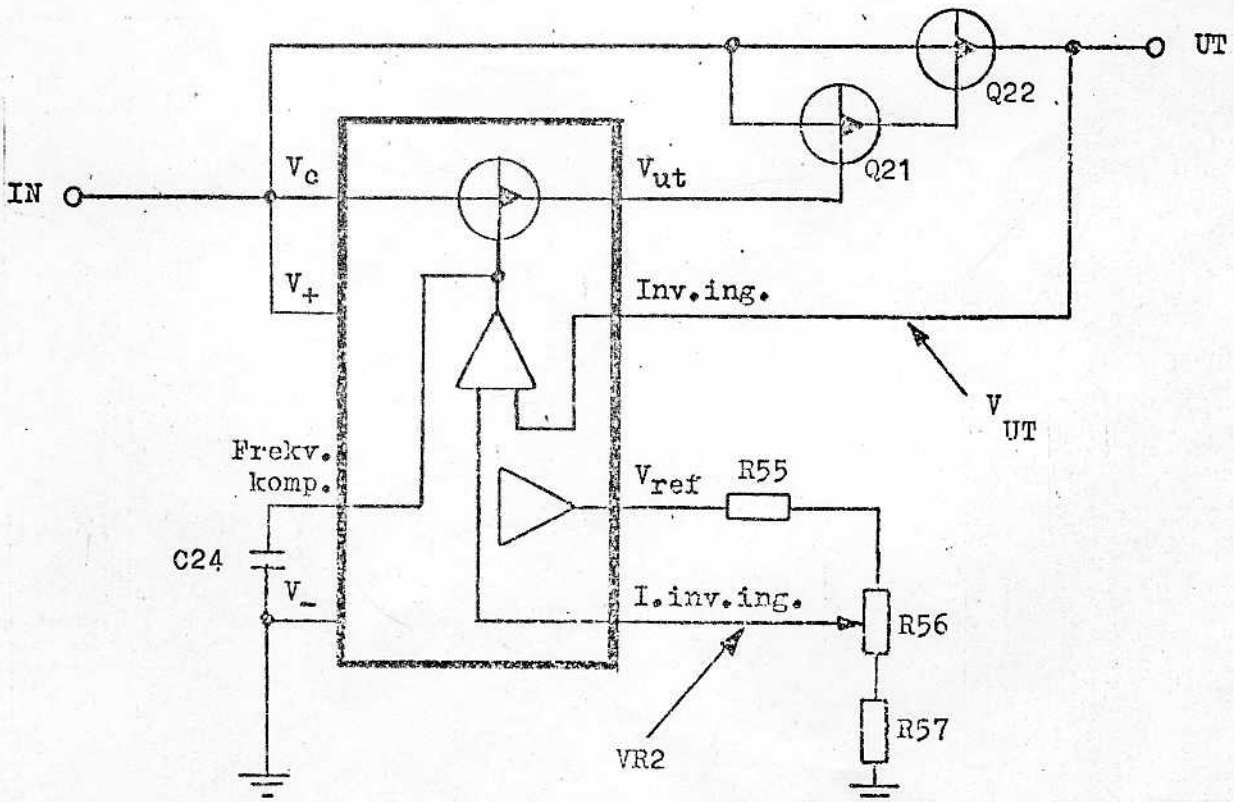


Bild. 3.2.4 Serieregulator

Den integrerade kretsen innehåller referensspänningskälla, differentialsförstärkare och drivsteg. Referensspänningen är 7V, se bild 3.2.5.



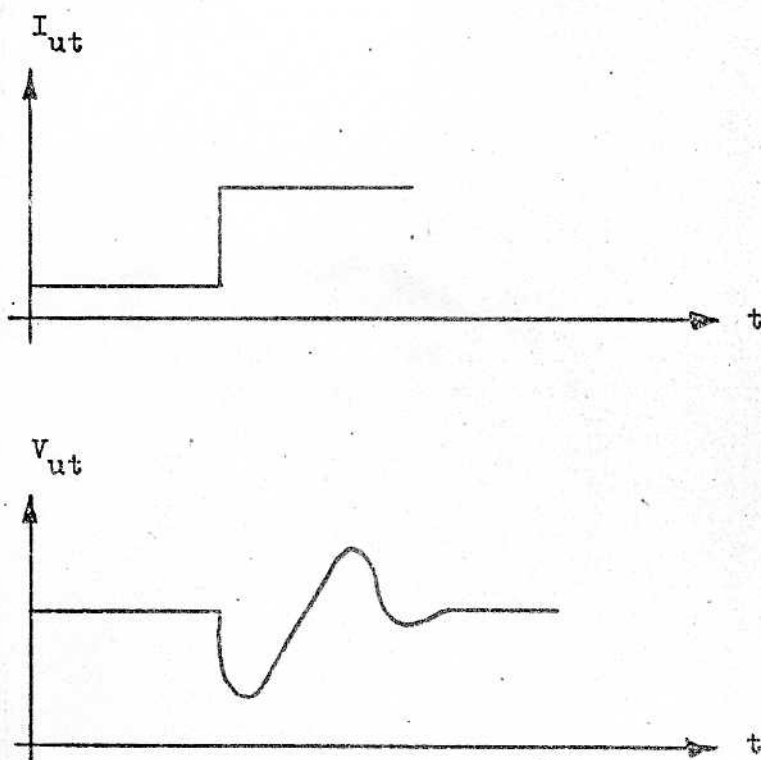
T-10977

Bild 3.2.5 Integrerad spänningsregulator (Utspänning < 7V).
Principkoppling

Namn DATOR D5/20 SERIE	Gäller f o m	Utgåva 1	Sida 3:19
---------------------------	--------------	-------------	--------------

Differentialförstärkaren i integrerade kretsen matas dels med referensspänning från en inbyggd källa via en spänningsdelare (R55, R56 och R57) dels med utspänningen från reglerkretsen. Utsignalen går via ett inbyggt drivsteg och det yttre drivsteget (Q21) till serietransistorn (Q22). Utsignalen avkopplas "HF-mässigt" med (C24). Kretsen kommer att inta ett jämviktstillstånd med viss utspänning V_{UT} .

Genom att ändra R56 kan man således påverka utspänningen. HF-avkopplingens uppgift är att förhindra självsvängningar. Förekomsten av HF-avkopplingen medför att reglerkretsens utimpedans, som är mycket låg vid låga frekvenser, ökar med frekvensen. Om lasten ändras momentant, kommer utspänningen att beskriva ett insvängningsförlopp enligt bild. 3.2.6. Insvängningen tas till viss del upp dels av utkondensatorn (C22) se bild 3.2.12 dels av avkopplingskondensatorerna vid lasten.

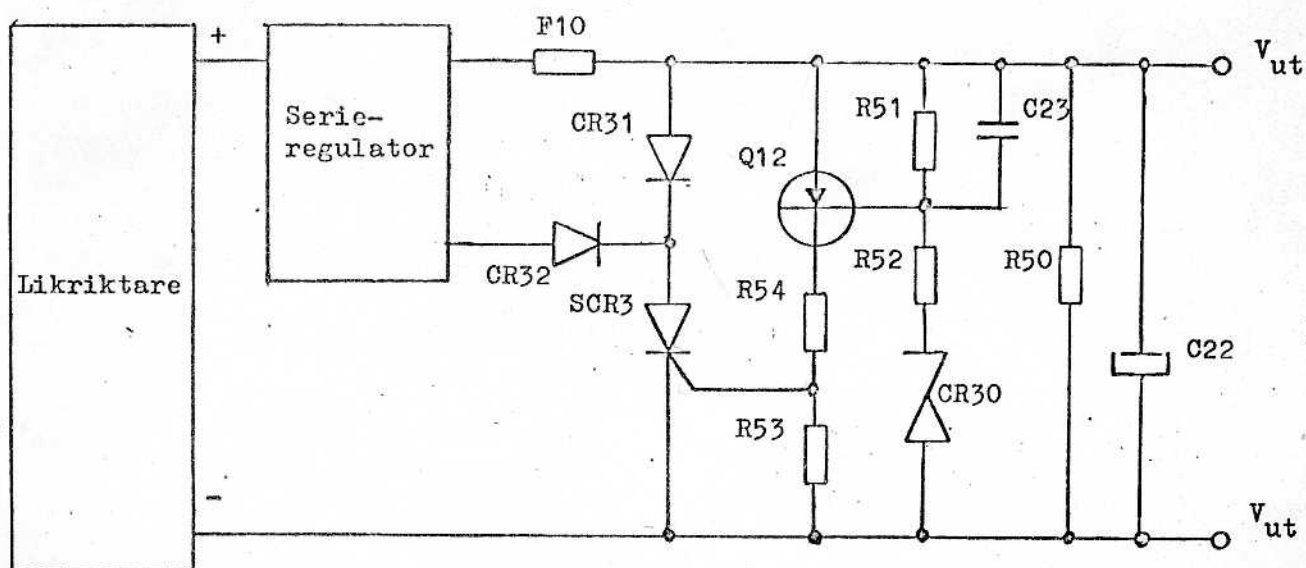


T-10975

Bild 3.2.6 Spänningens insvängning vid momentan belastning.

-5V-stabilisatorn är försedd med ett överspänningsskydd, se bild 3.2.7. Stabilisatorn kan spänningsförsörja ett stort antal halvledarkretsar. Vid exempelvis en kortslutning i en serietransistor, då rårspänningen från likriktaren skulle erhållas på regulatorns utgång, finns risk för att de kretsar som spänningsförsörjs av stabilisatorn skulle förstöras. Det är överspänningsskyddets uppgift att förhindra detta.

Namn	Gäller för	Utgåva	Sida
DATOR D5/20 SERIE		1	3:20



T-10974

Bild 3.2.7 Överspänningsskydd. Principschema

Om utspänningen V_{UT} överstiger ett visst värde (6,3V) börjar (CR30) att leda och (Q12) styrs ut, vilket medför att tyristorn (SCR3) "tänder" och blir ledande.

Eftersom resistansen i transformatorlindningen, likriktaren och säkringen är mycket liten och serietransistorn kortsluten, kommer en mycket stor ström att passera genom F10, som går sönder och bryter utspänningen efter kort tid. När (SCR3) leder, stryps spänningsregulatorn via CR32 på frekvenskompensationsuttaget. Spänningen på frekvenskompensationsuttaget och V_{UT} isoleras från varandra av (CR31) och (CR32).

Orsaken till denna stryplingsfunktion är att tyristorn kan "falsk-trigga" utan att serietransistorn är kortsluten. Utan denna strypling skulle regulatorn förstöras.

Data:

Inspänning:	10,8V \pm 5% RMS
Nom. utspänning:	5V
Max. strömottag	2A
Utspänningsändring för \pm 10% (långsam) inspänningsändring:	15mV
Utspänningsändring då lasten ändras (långsamt) från 0 till max.:	100 mV
Överspänningsskyddets tillslagsnivå:	max. 7,2V

Namn DATOR D5/20 SERIE	Gäller för	Utgåva 1	Sida 3:21
---------------------------	------------	-------------	--------------

3.2.2.4 +5V-stabilisator

Se bild 3.2.13.

Beträffande likriktarens uppbyggnad, se beskrivning över -5V-stabilisatorn, kiseldioder (CR38 - CR41).

För att kunna filtrera strömmen i denna regulator (12A) består filtret av en drossel (L1) och därefter en kondensator (C28). Avkopplingskondensator (C29), säkring 20AT (F6).

+5V-stabilisatorn är även försedd med en hjälpspänningslikriktare, vars uppbyggnad överensstämmer med de redan beskrivna likriktarna, se bild 3.2.12, kiseldioder (CR101), filterkondensator (C30), avkopplingskondensator (C31), säkring 1 AT (F7).

Hjälpspänningens 0-nivå är kopplad till huvudspänningens plus-sida.

Spänningsstabilisatorns princip överensstämmer i stort med den i -5V-stabilisatorn redan beskrivna.

Den integrerade spänningsstabilisatorn matas från hjälpspänningen. Även den yttre drivtransistorn matas från hjälpspänningen. Anledningen till detta är att spänningsfallet över serietransistorerna bör hållas så lågt som möjligt för att hålla nere effektförlusten i dessa.

Minsta matningsspänning till IC-kretsen. Jfr bild 3.2.5 och 3.2.13.

$$V_c = V_+ = V_{UT} + V_{EBS} + V_{EBDr} + \frac{I_{UT} \cdot R_s}{3} + 3V \approx 13V$$

$$V_{EBS} = V_{EB} \text{ i } Q18, Q19, Q20 \text{ som antas lika}$$

$$V_{EBDr} = V_{EB} \text{ i } Q17$$

$$R_s = R_{64} = R_{65} = R_{66}$$

P.g.a. effektförlusterna och den därpå beroende temperaturhöjningen i serietransistorerna används tre parallellkopplade transistorer (Q18 - Q20). För att kompensera för varierande bas-emitterspänningsfall inkopplas tre emittermotstånd (R64 - R66).

+5V-stabilisatorn är också försedd med ett överspänningskydd. Principen har beskrivits under -5V-stabilisatorn.

Namn	Gäller för	Utgåva	Sida
DATOR D5/20 SERIE		1	3:22

I denna regulator är den kortslutande tyristorn placerad före serietransistorerna. På detta vis undviks emittermotståndens och serietransistorernas strömbegränsande inverkan. Kortslutningsströmmen bör vara mycket stor för att säkringen på 15A (F5) skall lösa ut tillräckligt snabbt.

Även hjälpspänningen kortsluts av tyristorn via dioden CR29 och säkringen F8 (1A) löser ut. Hjälpspänningen får inte finnas kvar, när huvudspänningen försvinner. Regulatorn skulle då sträva att hålla normal spänning med hjälp av enbart hjälpspänningen, vilket varken regulatorn eller drivtransistorn tål.

Dioden CR42 skyddar serietransistorerna mot backspänning, då tyristorn är "tänd".

Data:

Inspänning:	14 V \pm 5% RMS
Hjälpspänningens inspänning:	6V \pm 5% RMS
Nominell utspänning:	5V
Max. strömuttag:	10A
Utspänningsändring för \pm 10% (långsam) inspänningsändring:	10mV
Utspänningsändring då lasten ändras (långsamt) från 0 till max.:	60mV
Överspänningsskyddets tillslagsnivå:	Max. 7,2V

3.2.2.5 +21V-stabilisator (SU-sp.)

Se bild 3.2.14.

Beträffande likriktarens uppbyggnad se beskrivningen över -5V-stabilisator: Kiseldioder (CR34 - CR37), filterkondensator (C26), avkopplingskondensator (C27), bleeder-motstånd (R60), säkring 10 AT (F2).

Även denna stabilisator är försedd med hjälpspänning. Spänningen är halv vågsl rikriktad (Diod CR26), filtrerad (C16) och har avkopplingskondensatorn (C15). Ingången är säkrad med 1 AT (F4). Hjälpspänningens 0-nivå är kopplad till huvudspänningens 0-nivå.

Spänningsstabilisatorns princip överensstämmer i stort sett med den under -5V-stabilisatorn redan beskrivna. Då utspänningen överstiger 7V kopplas emellertid referensspänning och spänningsavkänning på annat sätt. Se bild 3.2.8.

Namn DATOR D5/20 SERIE	Gäller f o m	Utgåva 1	Sida 3:23
---------------------------	--------------	-------------	--------------

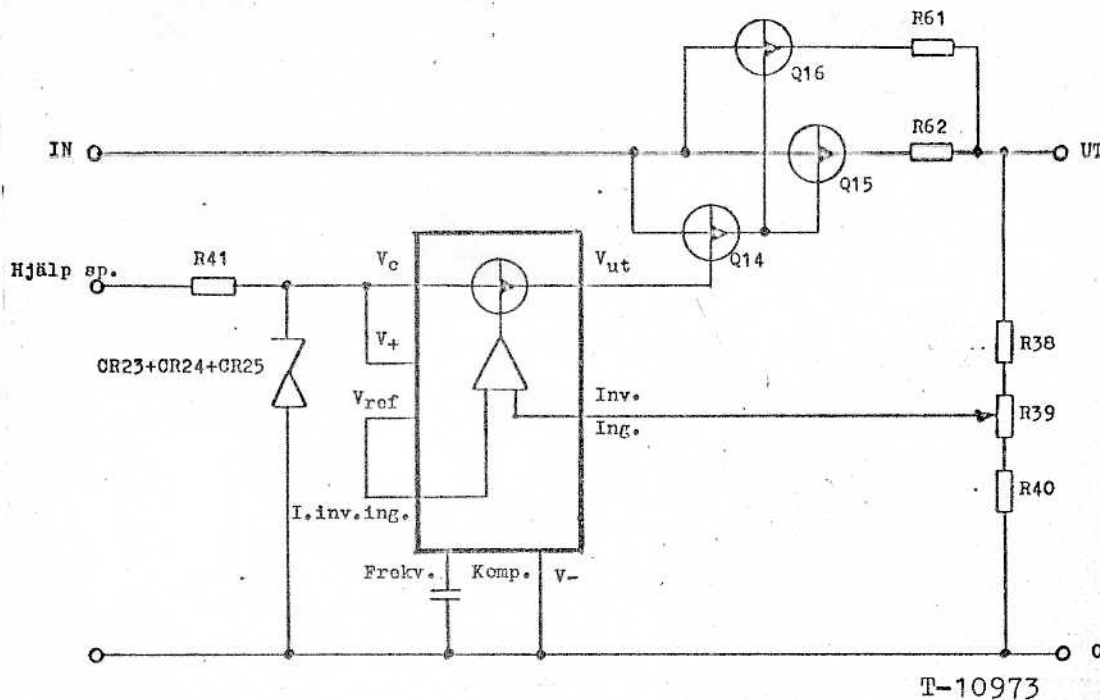


Bild 3.2.8 IC-regulator med utspänning $> 7V$. Principkoppling.

Referensspänningen (7V) kopplas direkt in på icke invertterande ingång och utspänningen delas ner i en spänningsdelare (R38 - R40) till (7V).

Matningsspänningen till IC-regulatorn tas från hjälpspänningen, vilken zenerstabiliseras till 36V. IC-regulatorn får matas med max. 40V.

I denna stabilisator parallellkopplas två serietransistorer (Q15, Q16) på grund av effektutvecklingen.

Denna stabilisator är också försedd med överspänningsskydd av samma typ som beskrivits under -5V-stabilisatorn.

Styrningen av stabilisatorn fungerar på följande vis:

Styrning av IC-regulatorn sker på uttaget för frekvenskompensation. För att utspänningen snabbt skall falla vid frånslag, kortsluts utgången. Den krets som åstadkommer styrningen består av Q6 (i logiken), Q7, Q8, CR18, CR19, CR63, R29, R30, R25 och R83.

Q6 leder när SU-spänningen är "till". När Q6 stryps får Q7 basström genom R25 och R83, varvid Q7 börjar leda och styr ut Q8. IC-regulatorn stryps via Q7 och Q8 samtidigt som Q8 kortsluter utgången genom CR18 och R29. Strömmen genom R83 håller Q7 ledande så länge spänningen över filterkondensatorn C26 finns kvar.

Namn	Gäller för	Utgåva	Sida
DATOR D5/20 SERIE		1	3:24

Data:

Inspänning:	25,6V	$\pm 5\%$ RMS
Hjälpspänningens inspänning:	50V	$\pm 5\%$ RMS
Nominell utspänning:	21V	-0,3V (vid drivn. av minne)
Max.kontinuerligt strömuttag:	2,5V	
Max. toppström:	3,5A	
Utspänningsändring för $\pm 10\%$ (långsam) inspänningsändring:	10mV	
Utspänningsändring då lasten ändras (långsamt) från 0 till max.:	60mV	
Överspänningsskyddets till- slagsnivå: max.	27,5V	

3.2.2.6 Logik

Se bild 3.2.15.

Med logiken skyddas minnesinformationen vid till- och fränslag, NÄT.

Spänningsförsörjningen av logiken sker med en spänning V som har värdet +5V. Denna spänning tas från SU-spänningens^{cc} hjälpsspänning. Två parallellkopplade motstånd (R27, R79) och zenerdioden CR16 stabiliserar V_{cc} till +5V. V_{cc} är avkopplad med C11. (Se bild 3.2.14.)^{cc}

Ett kort nätbortfall, men tillräckligt långt, min. 3 ms, för att ställa om vippan i logiken, tolkas som ett nätfränslag med efterföljande nättillslag. Logiken känner av nätspänningen via en speciell lindning på transformatorn.

Den erhållna spänningen likriktas (CR2 - CR5), filtreras (C2) och avkopplas (C1). Avkänningen sker via en spänningsdelare (R4 - R6). Med hjälp av trimpotentiometern (R4) justeras avkänningen för olika nätspänningar och för önskad känslighet.

Vidare förekommer en nivåkänslig krets (CR1, R1 - R3 och Q1), en inverterare och en vippkoppling ($\frac{1}{2}$ IC2)

Vid nättillslag ettställs signalen på vippans ingång 1. Denna signal beror dels av nätavkänningskretsen dels av läget på ON/OFF-knappen. I intryckt läge hålls signalen på 0-nivå. Ingång 2 är ettställd på grund av att ingång 5 är nollställd och utgång 3 nollställd.

Signalen till ingång 5 kommer från en nivåkännarkrets (CR6, CR7, Q2, R7 - R10 och C40), som känner av SU-spänningen. Avkänningsnivå c:a 15V.

Namn	Gäller för	Utgåva	Sida
DATOR D5/20 SERIE		1	3:25

Utgången på vippan är kopplad till två inverterare (1/2 IC 10) med öppen kollektor på utgångarna. Inverterarna fungerar som drivkretsar för fördröjningskretsen (IC3). Den nedre halvan av fördröjningskretsen (IC3) får ingångarna 9, 10 och 12 ettställda. Kondensatorn C41 laddas upp från ingångarna 1, 2, 4 och 5 på fördröjningskretsen och bildar tillsammans med IC3 en fördröjningskrets. Fördröjning c:a 20 ms. Fördröjningen medför att $\pm 5V$ och $\pm 12V$ nått sina respektive nominella nivåer, när SU-spänningen uppträder.

Vid nättillslag kommer alltså insignalens nivå till IC3 att stiga med uppladdningen av C41 och utgång 6 nollställs vid viss nivå på signalen.

Utsignalen inverteras och utgång 8 på IC2 ett-ställs, varvid transistorn Q6 styrs ut med basström via R22, CR 14, CR15 samt R23 och SU-spänningen går till.

Eftersom motstånd R22 är kopplat till +5V kan Q6 ej erhålla basström såvida inte + 5V finns.

När SU-spänning förekommer ett-ställs ingång 5 på IC2, men vippan behåller sitt tillstånd.

Ingång 13 på den nedre halvan av IC3 ettställs av SU-spänningsavkänningskretsen (CR12, Q5, R19 - R21), med en avkänningsnivå på c:a 19V, via inverterare, drivkrets (1/2 IC10) och fördröjningskondensatorn C39. Denna kondensator fördröjer PS G \emptyset c:a 175 ms efter SU-spänningens tillslag. Utgång 8 (IC3) nollställs. PS G \emptyset är avkopplad med C17.

Då vippans utgång 3 nollställdes blev även ingångarna 4 och 5 på IC8 nollställda. Samtidigt ett-ställdes utgång 6 på IC8 och P \emptyset N genererades.

P \emptyset N nollställs samtidigt som PS G \emptyset erhålls. Detta sker genom att PS G \emptyset kopplas till ingång 1 och 2 på IC8, varvid inverterad signal erhålls på utgång 3 och nollställer P \emptyset N.

Vid nätfrånslag nollställs vippans (IC2) ingång 1 samtidigt som utgången ett-ställs. Denna "etta" återkopplas till ingång 4. Ingång 5 är tidigare ett-ställd, varför utgång 6 nollställs. "Nollan" kopplas till ingång 2 och vippan intar ett stabilt läge.

Om nätspänningen återkommer innan SU-spänningen försvunnit, kommer vippan att bibehålla sitt läge. Detta läge ändras först då SU-spänningen sjunkit så mycket att ingång 5 nollställts. Man erhåller då en normal nättillsekvens.

Namn	Gäller f o m	Utgåva	Sida
DATOR D5/20 SERIE		1	3:26

Vid nätfrånslag ett-ställs alltså vippans utgång 3. Ingångarna till IC3 nollställs, varvid ingen fördröjning sker. Signalen PS G \emptyset nollställs. SU-spänningen stryps strax efter via Q6.

För att kunna hålla kvar SU-spänningen min 300 us efter att PS G \emptyset nollställts sker en fördröjning (C:a 1 ms) av strypningen med hjälp av C10.

När utgång 3 på vippan ett-ställs blir samtidigt ingångarna 4 och 5 på IC8 ett-ställda, varför ingång 9 på IC9 nollställs. PS G \emptyset nollställer ingång 8 på IC9. Signalen P \emptyset FF ett-ställs, när PS G \emptyset nollställs. Signalen P \emptyset FF hålls kvar vid sjunkande V_{cc} av kondensatorn C20.

Vid nätfrånslag får inga operationer pågå i datorn.

Nätbrytaren ger därför vid intryckning, via logiken i kraftenheten, signalen P \emptyset FF och PSG \emptyset * innan nätfrånslaget sker.

Nätbrytaren jordar ingång 1 på IC2 och ger därför PS G \emptyset * och P \emptyset FF.

Kondensatorn och motståndet bildar en fördröjningskrets som håller PS G \emptyset * kvar från det nätbrytaren släpps till dess normala nätavkänningen ger PS G \emptyset *.

Namn DATOR D5/20 SERIE	Gäller f o m	Utgåva 1	Sida 3:27
---------------------------	--------------	-------------	--------------

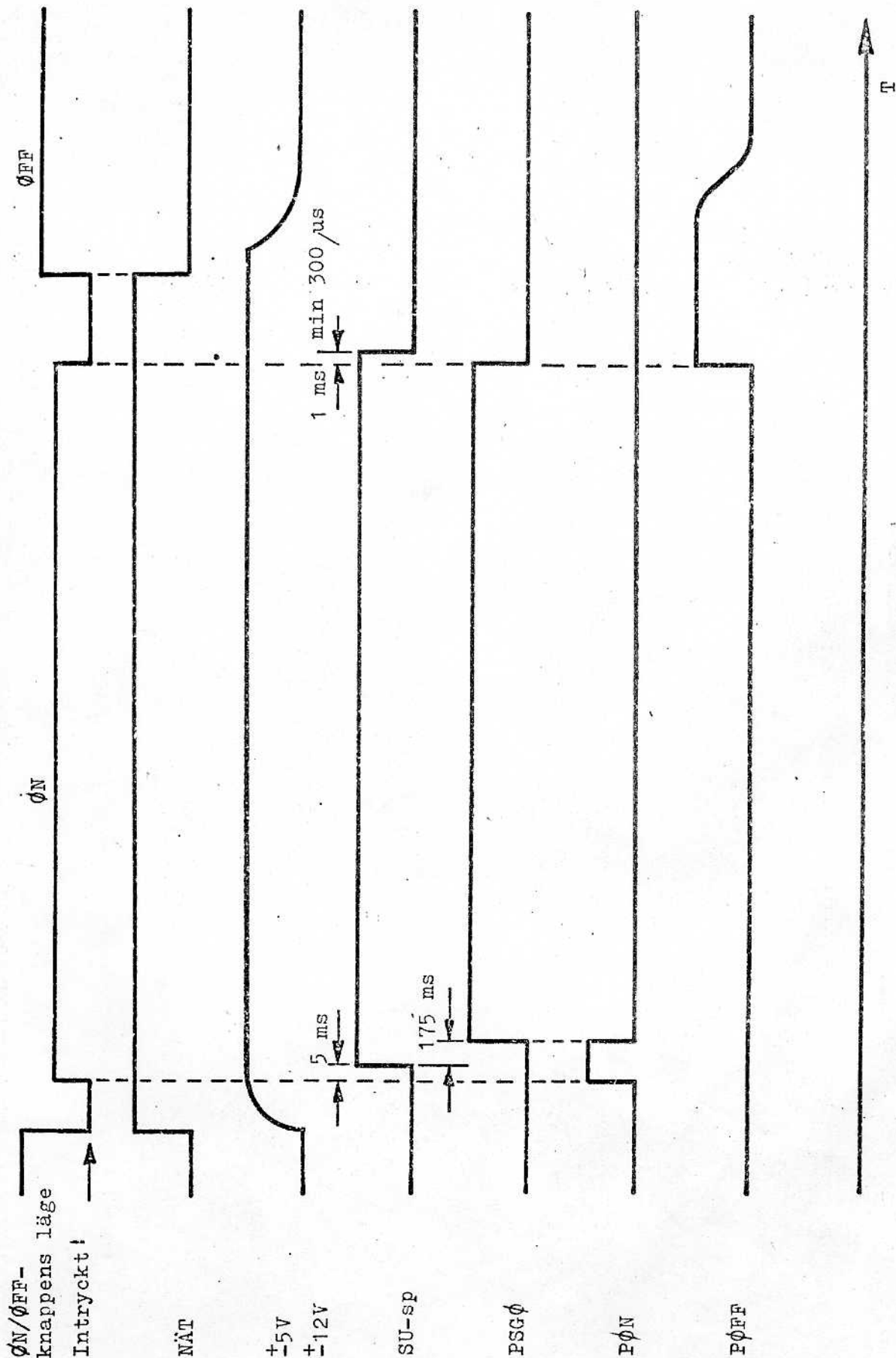


Bild 3.2.9 Pulsdiagram för till- och fränslagssekvens

T-11133

<p>Namn DATOR D5/20 SERIE</p>	<p>Gäller för</p>	<p>Utgåva 1</p>	<p>Sida 3:28</p>
-----------------------------------	-------------------	---------------------	----------------------

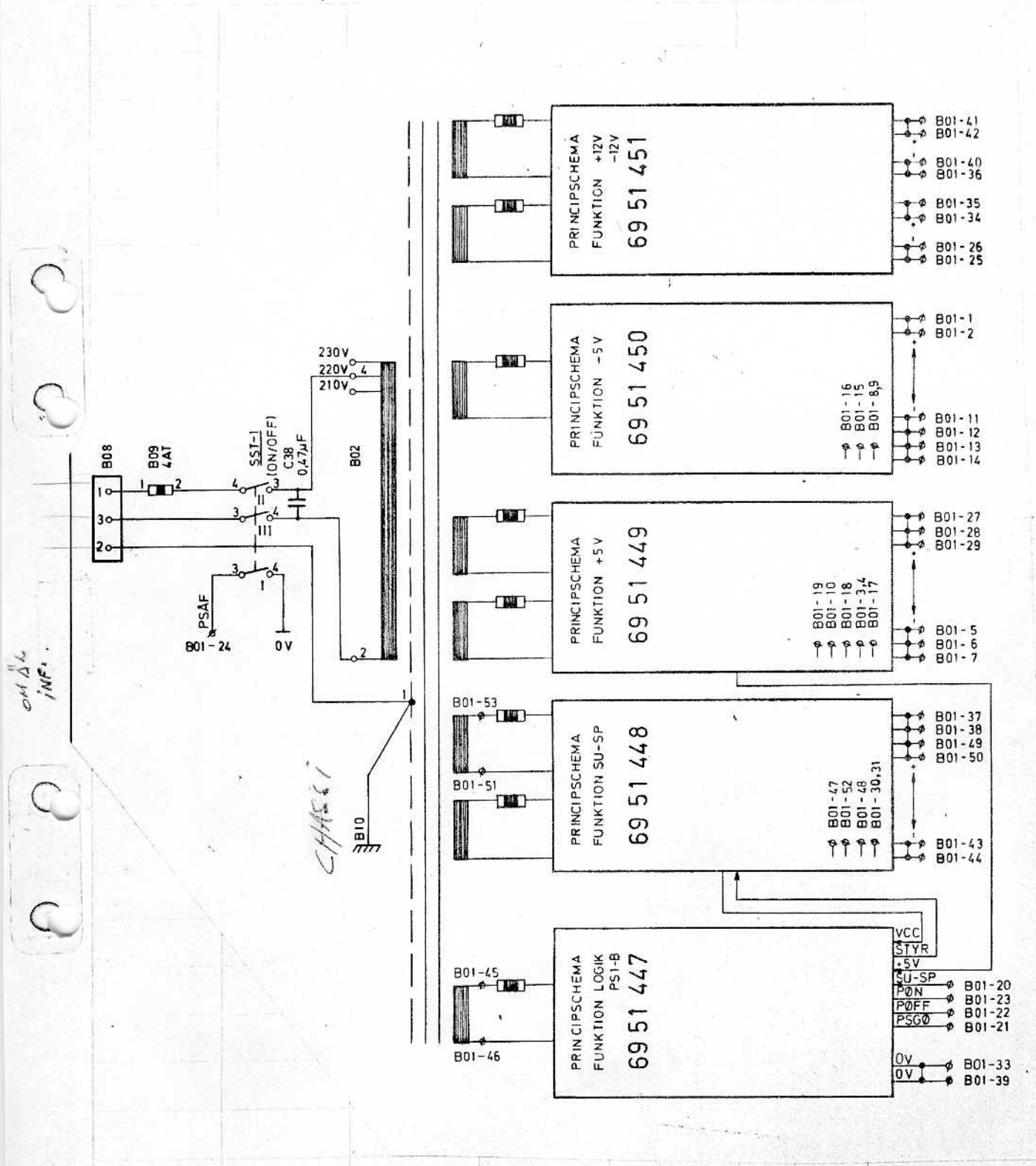


Bild 3.2.10 Blockschemata för PSI-B

IN 30010-902 7 68 20 000 100022

Namn	Gäller för	Utgåva	Sida
DATOR D5/20 SERIE		1	3:29

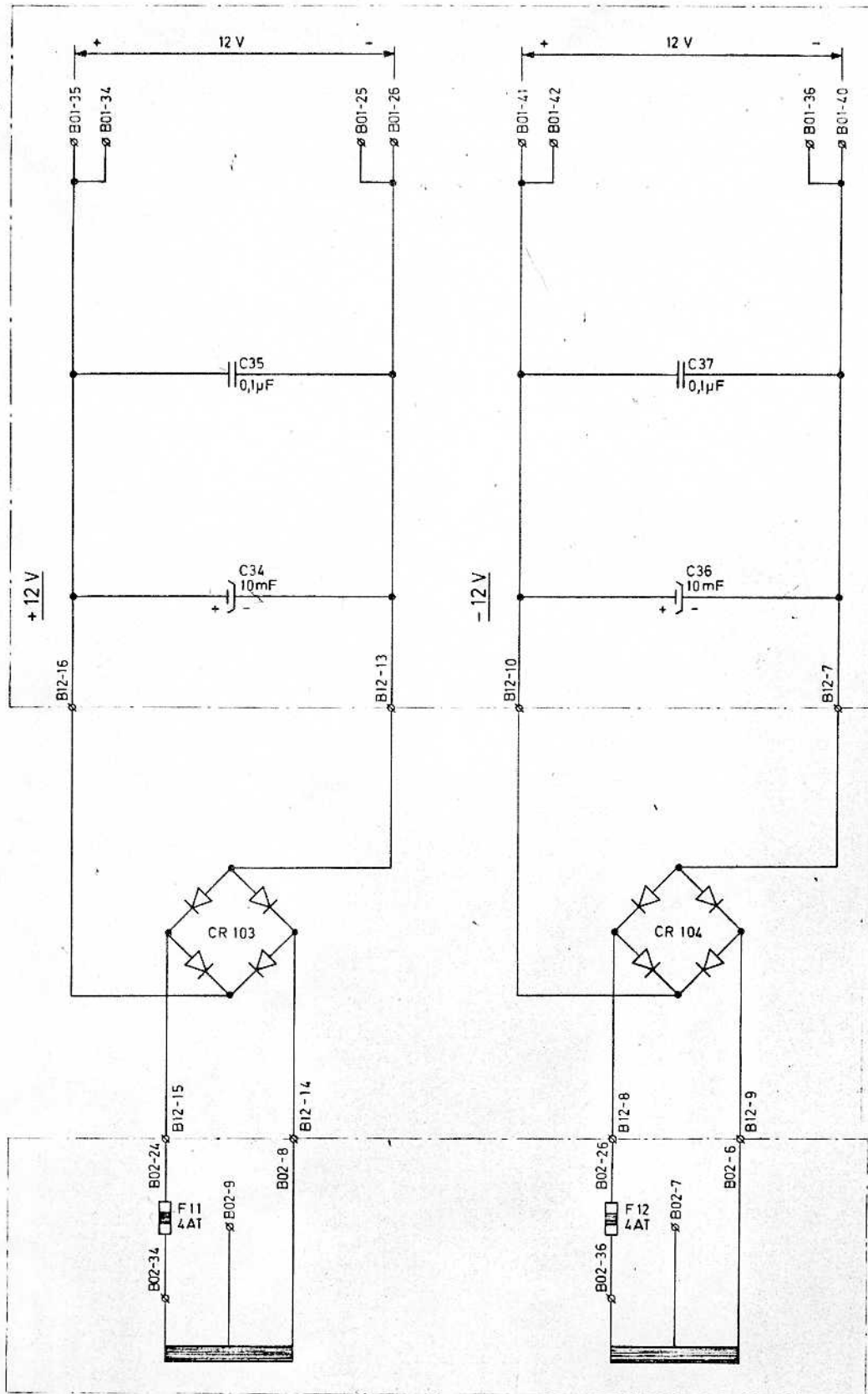


Bild 3.2.11 Principschema, funktion för +12V och -12V.

<p>Namn DATOR D5/20 SERIE</p>	<p>Gäller f o m</p>	<p>Utgåva. 1</p>	<p>Sida 3:30</p>
-----------------------------------	---------------------	----------------------	----------------------

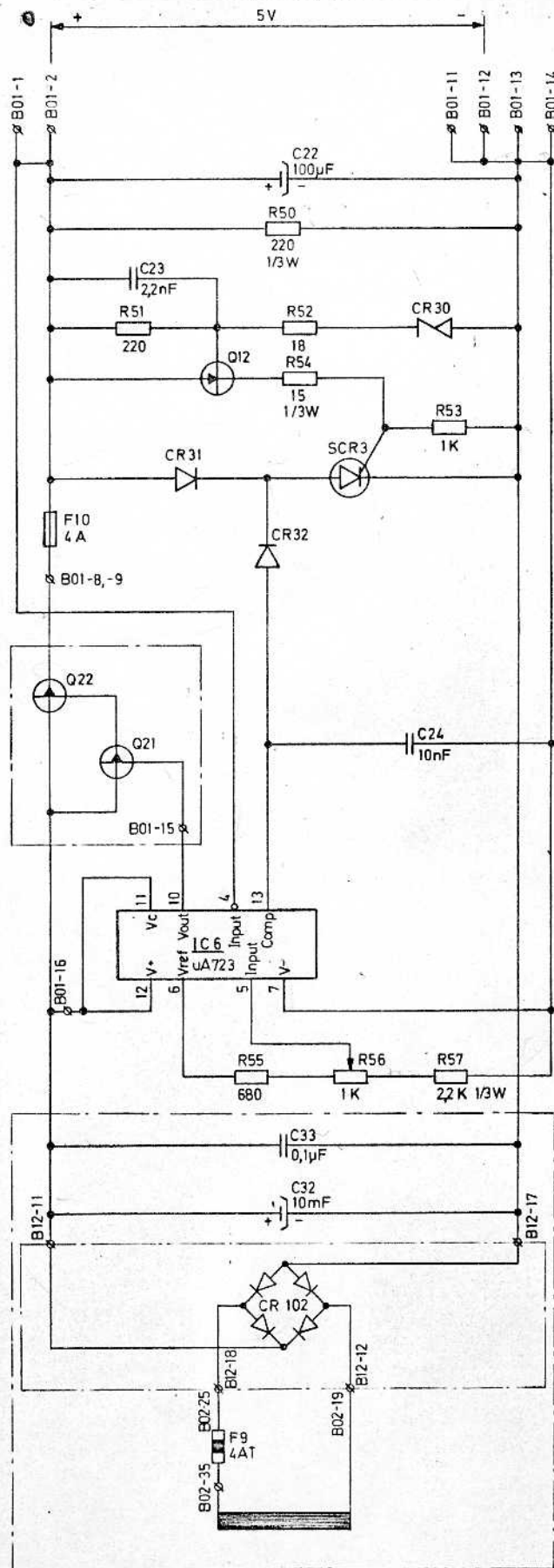


Bild 3.2.12. Principschema, funktion för -5V.

Namn	Gäller f o m	Utgåva	Sida
DATOR D5/20 SERIE		1	3:31

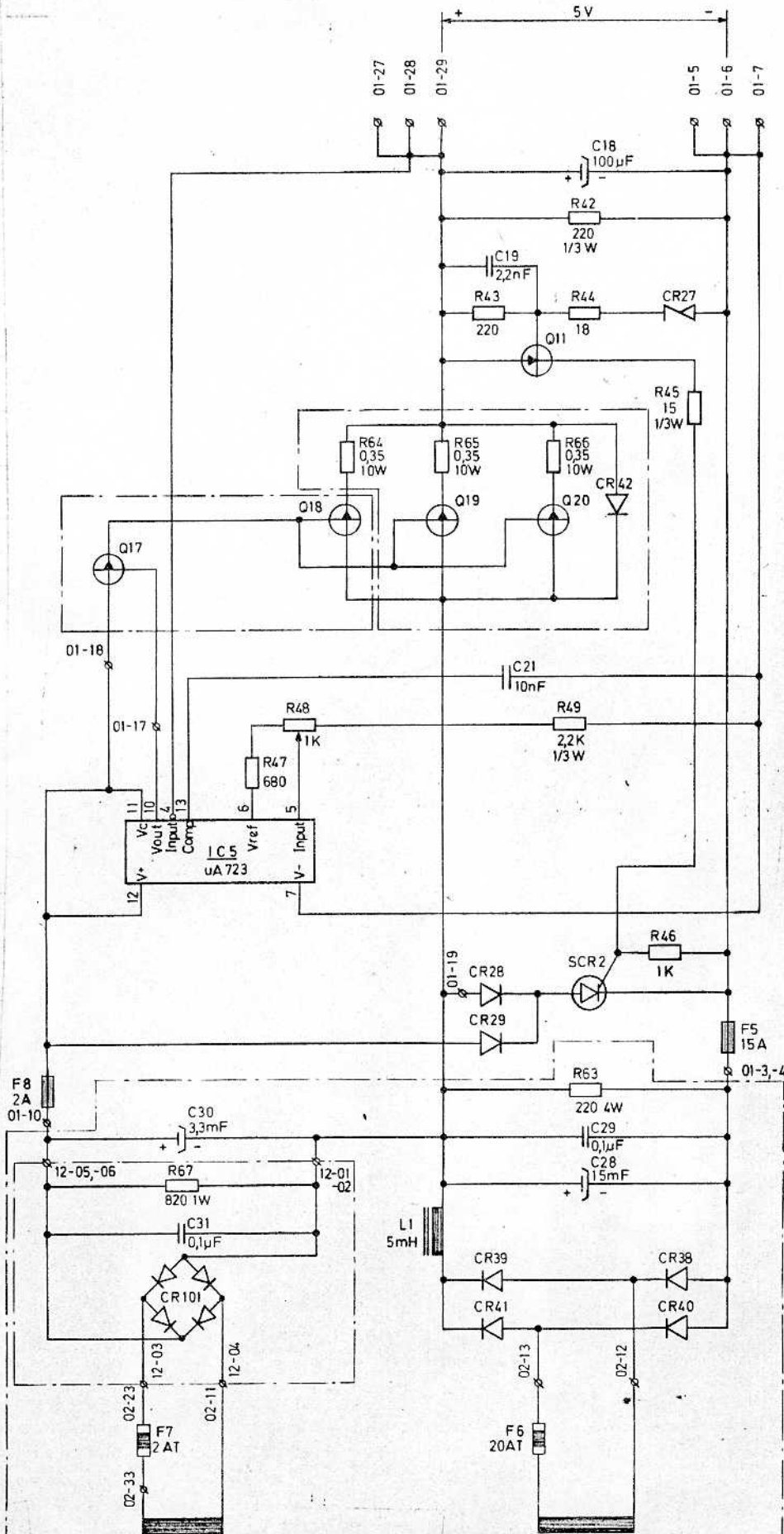


Bild 3.2.13 Principschema, funktion för +5V

Namn DATOR D5/20 SERIE	Gäller för	Utgåva 1	Sida 3:32
---------------------------	------------	-------------	--------------

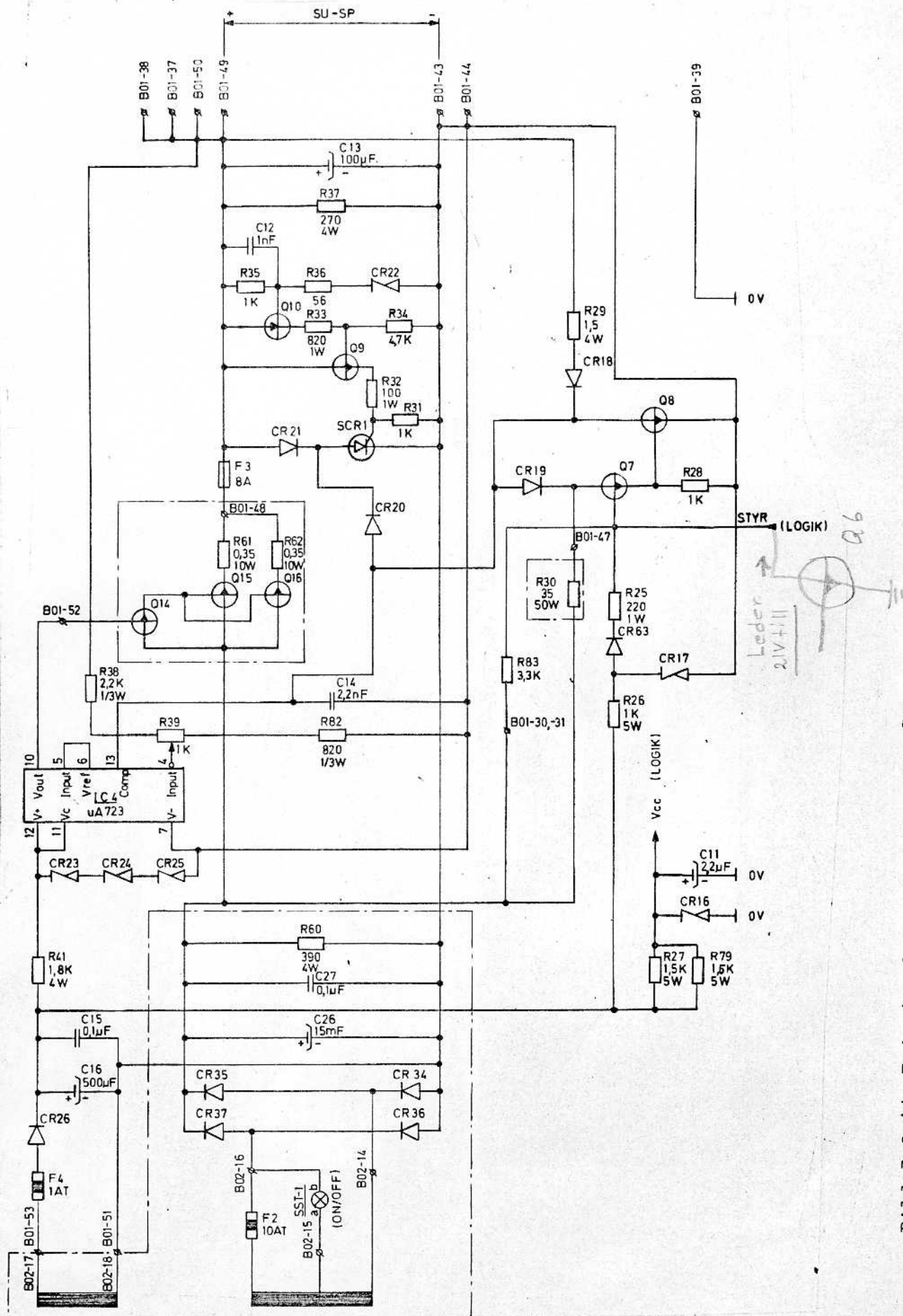


Bild 3.2.14 Principschema, funktion för SU-sp.

IN 5000101-050 9 49 40 103 80:32

<p>Namn DATOR D5/20 SERIE</p>	<p>Gäller för om</p>	<p>Utgåva 1</p>	<p>Sida 3:33</p>
-----------------------------------	----------------------	---------------------	----------------------

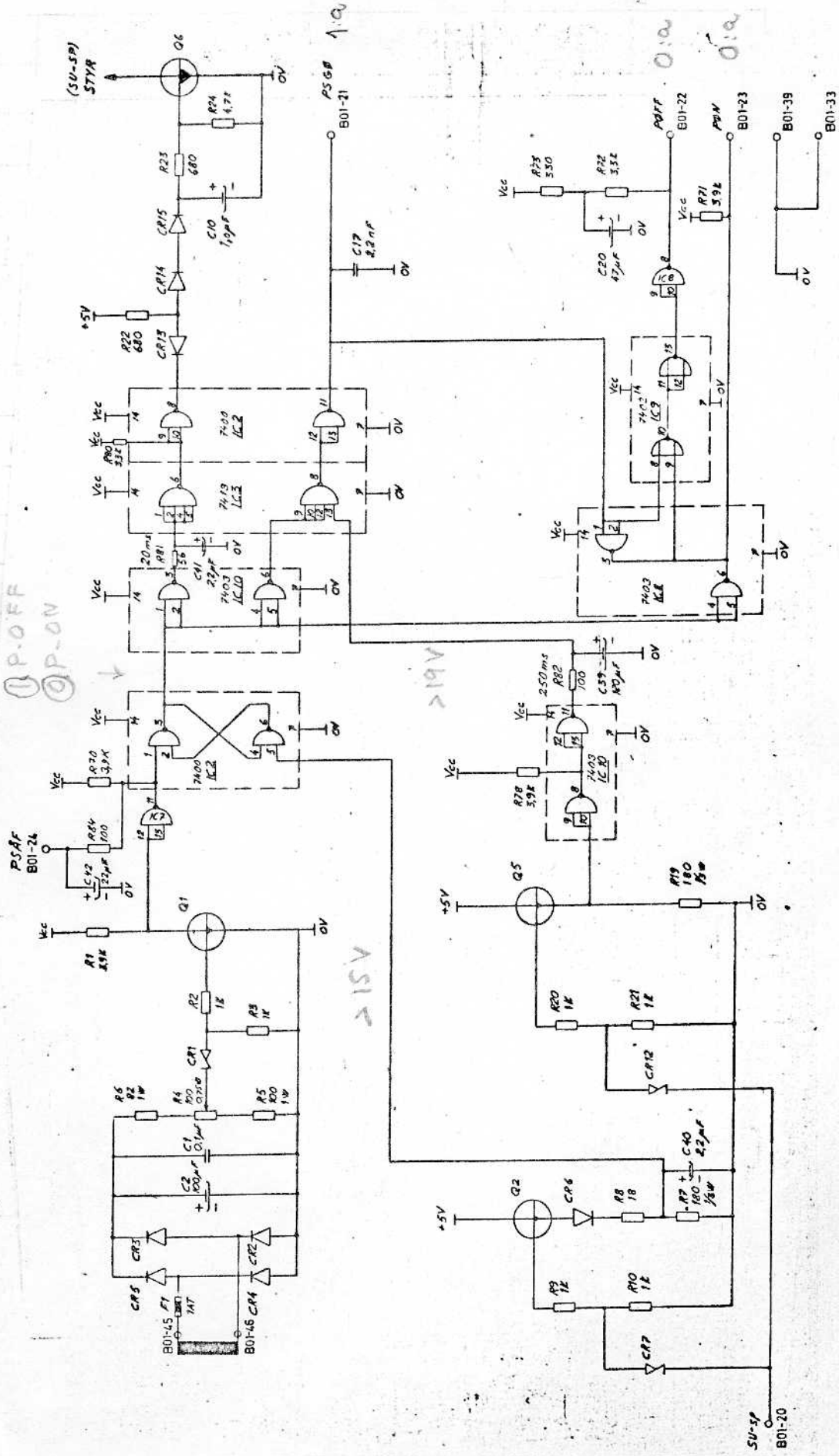


Bild 3.2.15 Principschema, funktion för logik

Namn	Gäller för	Utgåva	Sida
DATOR D5/20 SERIE		1	3:34

3.3 Minnesenhet (SU)

SU, som är ett tre-dimensionellt kärnminne har en minnescykel på 1.0 - 1.33 μ s och en accesstid på 450 nS (efter signalen STARTUKM). Dataordlängden är 16 bitar plus 2 paritetsbitar) och antal ord (adresser) 4096 (alt. 2048).

3.3.1 Uppbyggnad

SU är uppbyggt på 1/4 kk (SCU) som ingår i grundenheten och ett eller flera 1/1 kk (SMØ 0 - 3) utgörande tillsats. Se bild 3.3.1.

Elektroniken på SUKK är uppbyggd av såväl DIP-kapslar som tjockfilms-moduler (TF). Varje kk (SMØ 0 - 3) har komponenterna placerade på dess ena sida och till dess andra sida är minnesstacken ansluten medelst två skarvdon. KK yttre anslutning sker till kortets ena ände, se bild 3.3.2.

SU första kk benämnes grundkort (SMØ 0) och de övriga korten (SMØ 1 - 3) benämnes utbyggnadskort.

SU kan förses med paritetskontroll. Paritetskretsarna är placerade dels på ett separat dotterkort på varje SMØ kk och dels på CPU kk.

Styrellektroniken (SCU), som alstrar styrsignalerna för SU, är placerad på ett 1/4 kk och är gemensam för 1 - 4 minneskort.

Grundkortet (SMØ 0), se bild 3.3.2, är förutom minnesstacken även försett med adressavkodare, drivkretsar, läsförstärkare, inhiberdrivkretsar, minnesregister och resistanser.

Utbyggnadskorten är uppbyggda på samma typ av mönsterkort som grundkortet, men minnesregistret och resistanserna från minnesregistreringångarna är inte inkopplade. Utbyggnadskorten använder grundkortets minnesregister.

Namn	Gäller för	Utgåva	Sida
DATOR D5/20 SERIE		1	3:35

Minnesstacken, som är försedd med 22 milskärnan (1 mil = 10^{-3} inches), fyra trådar i varje kärna, är uppbyggd på ett plan som dessutom innehåller adressdioder (2 dioder per adresslinje) och anslutningskontakter. Varje ord har 18 bitar, varav de två högsta bitarna endast används om paritetskontroll ingår.

Antal adresser: 4096 alt. 2048.

Hopkoppling av SUKK utförs så att de tolv minst signifikanta adresspositionerna kopplas parallellt till grundkortet och utbyggnadskorten.

Adressavkodarna (IC10, I16, I24 och IC27) utgörs av fyra DIP-kapslar (SN 7445), se bild 3.3.2. Adressdrivkretsarna (TF1, TF2, TF5, TF6, TF7, TF8, TF9 och TF10) är uppbyggda på tjockfilmsplattor med fyra drivkretsar (fyra källor och fyra sänkor) på varje platta, se bild 3.3.2. Motstånd (R70 - R101) är diskreta effektmotstånd på kk.

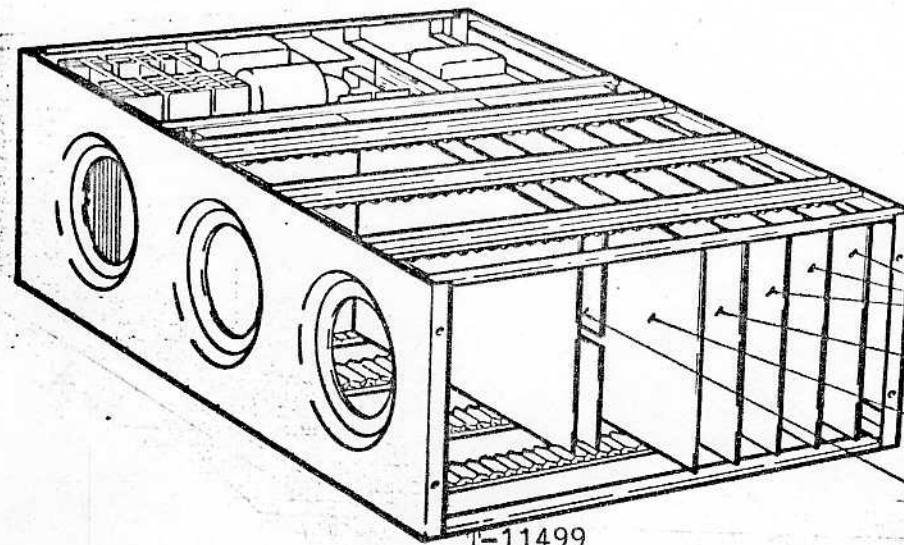
Läsförstärkarna (IC1 - IC8), vilka utgörs av DIP-kapslar (SN 7524), innehåller två förstärkare var, se bild 3.3.2.

Inhiberdrivkretsarna TF3 och TF4, vilka består av NPN-transistorer, är uppbyggda på tjockfilmsplattor med åtta drivkretsar på varje platta. Motstånden R52 - R67 är diskreta effektmotstånd på kk.

Minnesregistret (IC30, IC31, IC32 och IC33) utgörs av DIP-kapslar (SN7475), se bild 3.3.2.

Dotterkort för paritetskontroll är uppbyggda med läsförstärkare- och inhiberkretsar för paritetsbitarna. De dotterkort som är placerade på grundkorten är dessutom försedda med minnesregisterkretsar.

<p>Namn DATOR D5/20 SERIE</p>	<p>Gäller för m</p>	<p>Utgåva 1</p>	<p>Sida 3:36</p>
-----------------------------------	---------------------	---------------------	----------------------



SMØ 1-3 (UTBYGGN.KK)

SMØ 0 (GRUNDKK)

CPU KK

SCU KK

T-11499

Bild 3.3.1 Minnesenhet (SU) Uppbyggnad

Namn

DATOR D5/20 SERIE

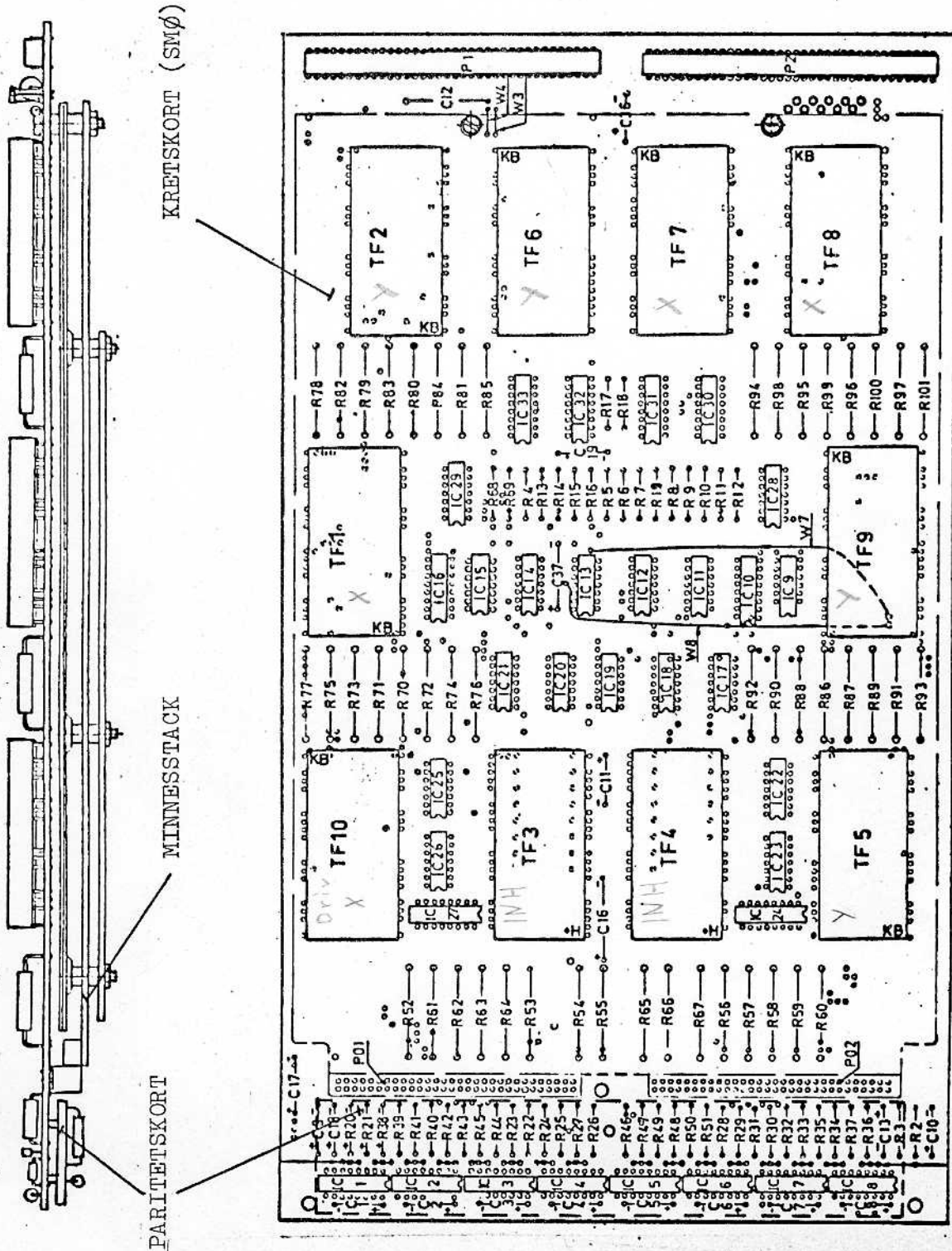
Göller fo m

Utgåva

1

Sida

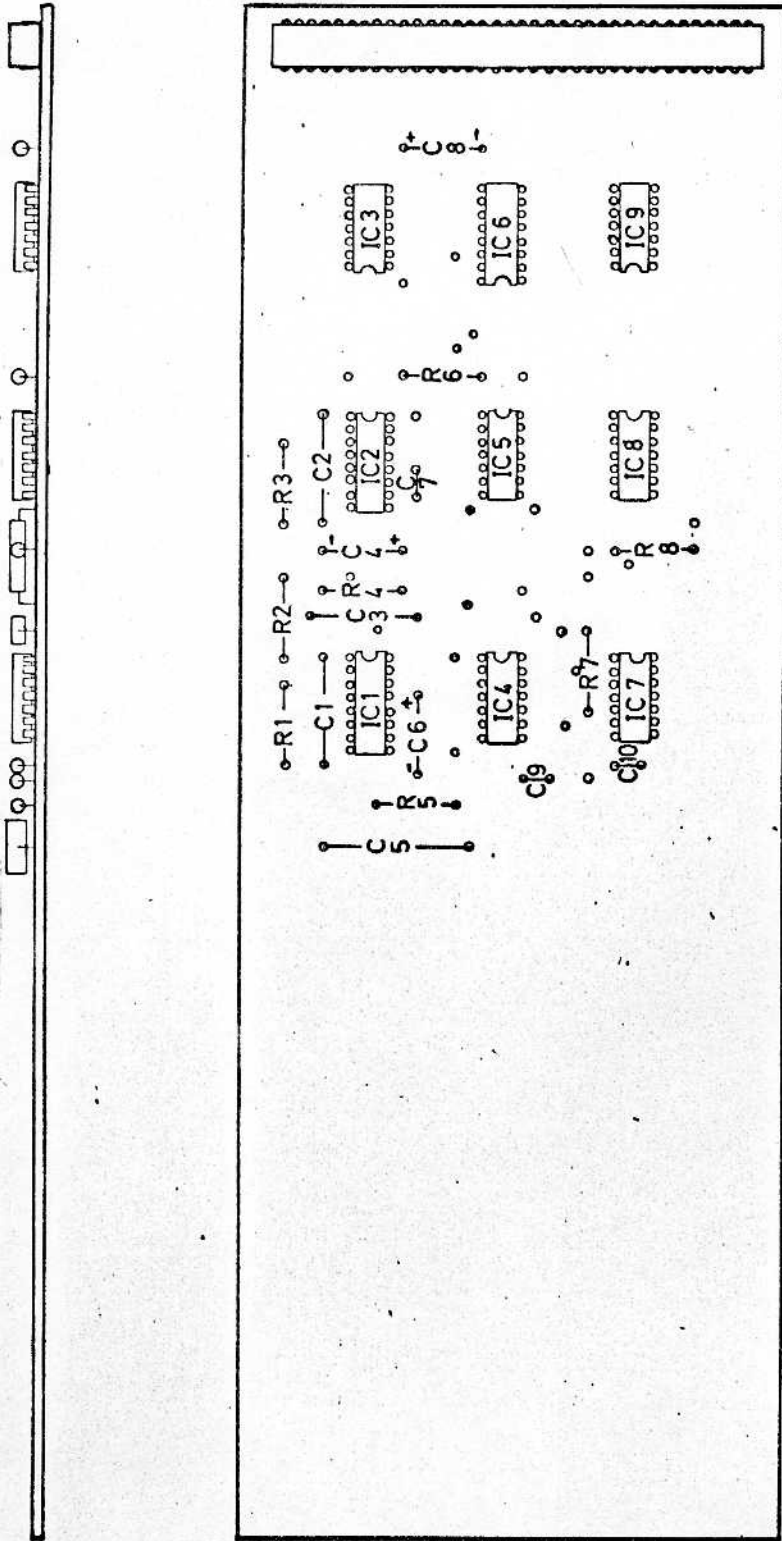
3:37



T-11524

Bild 3.3.2. Krettskort (SMØ), Uppbyggnad

<p>Namn DATOR D5/20 SERIE</p>	<p>Gäller för</p>	<p>Utgåva 1</p>	<p>Sida 3: 38</p>
-----------------------------------	-------------------	---------------------	-----------------------



T-11527

Bild 3.3.3. Kretskort (SCU). Uppbyggnad

Namn	Gäller för	Utgåva	Sida
DATOR D5/20 SERIE		1	3:39

3.3.2 Funktion

SU är försett med fyra avkodare, se blockschema bild 3.3.4, där de tolv adressbitarna, SAR, avkodas. Varje avkodare (på tre bitar) väljer en av åtta drivkretsar, se principalschema bild 3.3.5. När signalerna LÄS resp. SKR matas från SCU till drivkretsarna utförs utläsning resp. inskrivning.

Utläsning sker när minneskärnan erhåller två samverkande adresströmmar, vilka tillsammans påverkar magnetfältet i kärnan i en bestämd riktning. Har kärnan tidigare varit magnetiserad i motsatt riktning, erhålls ett omslag av magnetflödet. Detta inducerar en $e m k$ i en tredje ledare (lästråd) som går genom kärnan.

Denna läsledare, som passerar varje kärna i bitpositionen (4096 kärnor), ansluts via anpassningsimpedans till läsförstärkarens ingång. Varje bitposition är försedd med sådan läsledare, se bild 3.3.6.

De i läsledaren inducerade, relativt svaga pulserna (ca 30 mV) förstärks, medan de störningar som uppkommer vid inmatningen av strömpulserna i minnesstacken undertrycks. Störningarna hålls tillbaka p.g.a. läsförstärkaren är utformad som differentialförstärkare.

Från SCU matas strobipulsen till läsförstärkarna så att dessa öppnas enbart under den tid signal erhålls från läsförstärkarledningen. Se bild 3.3.7, 3.3.10 och 3.3.12.

CSD1* klockar (strobar) positionerna (0-7) och CSD2* positionerna (8-15).

Från SCU matas även pulserna STR1* (för positionerna 0-7) och STR2* (för positionerna 8-15), vilka öppnar ingångarna till minnesregistret. Läsförstärkarutgångarna kan därvid ställa minnesregistervipporna.

Inskrivning sker när adresströmmarna matas i motsatt riktning än vid utläsning, varvid (vid etta) magnetflödet i kärnan slås om.

Vid inskrivning av nolla, matas inhiberström i motsatt riktning mot ena adresströmmen, så att magnetflödet i kärnan kvarstår oförändrat. Vid utläsning erhålls inget omslag av kärnans magnetfält d.v.s. ingen puls (nolla).

Namn	Gäller för	Utgåva	Sida
DATOR D5/20 SERIE		1	3:40

Från minnesregistret matas inhiberkretsarna med signalerna SDR0-SDR15. Varje bitposition har separat inhiberkrets, vilken matar den fjärde ledaren genom bitpositionens kärnor.

När en minnesregisterposition innehåller en nolla, matar inhiberkretsarna, under inskrivningstiden, en ström genom minnesstacken. Denna ström har motsatt riktning i förhållande till en av adresströmmarna.

SU-funktionen kan indelas i tre delar: Adresssystemet, datasystemet och kontrollogiken (SCU).

3.3.2.1 Adresssystem

Adresssystemet innehåller adressavkodare, buffertsteg och adressdrivkretsar. Se bild 3.3.14.

Adressavkodarens tre adresspositioner (SAR) bestämmer vilken av de åtta utgångarna på varje avkodare, som blir låg. Varje utgång utgörs av en NPN-transistor.

Varje avkodarutgång är kopplad till emittern (KA på tjockfilmskretsar) på första transistorn (NPN) i varje källa, se bild 3.3.4. Denna transistor kommer att leda, när LÄS resp. SKR tillföres basen (KB) och avkodarutgången till emittern KA är låg. NPN-transistorn "bottnar", efterföljande PNP-transistor bottnar och utgången K blir hög.

Sänkan blir ledande, när drivgrindens båda ingångar blir låga.

Strömmen kan nu flyta från +21V, genom källans PNP-transistor, det strömbestämmande effektmotståndet, minnesstacken och sänkans NPN-transistor.

3.3.2.2. Datasystem

Datasystemet innehåller läsförstärkarna, minnesregistret och inhiberkretsarna. Se bild 3.3.12 och 3.3.13.

Läsledningarna som förbinder minnesstacken med läsförstärkarna är anpassade med två motstånd (100 ohm vardera) och en kondensator (330 pF).

Exempel: Från minnesstacken distribueras datat genom läsledningarna S00 och S00* (för position 0). Motstånden R1 och R2 (för position 0) och kondensatorn C9 (för position 0) anpassas till stift 6 och 7 (för position 0) vid ingångarna på läsförstärkarna IC1.

Förstärkarna öppnas av strobpulsen CSD1 till stift 11 och 15 för positionerna 0-7 och CSD2 för positionerna 8-15.

Namn	Gäller för	Utgåva	Sida
DATOR D5/20 SERIE		1	3:41

Om paritetskontroll förekommer används positionerna 16 och 17 till denna.

Läsförstärkarna erhåller via stift 4 och 5 en referensspänning på ca 16 mV från en spänningsdelare (R34, R33 på 2,7 kohm resp. 10 ohm).

Läsförstärkarna matar över stift 12 och 14 inverterarna IC22, IC24 och IC25, som har öppen utgång, varför flera utgångar kan sammankopplas ("wired or"). Detta förfaringsätt utnyttjas vid parallellkoppling av flera minneskort.

Hos grundkortet matas dessa utgångar från +5V via motståndet R69-82, 91-92. utgångarna är kopplade till ingångarna på minnesregistret (IC30 - IC33).

Exempel: För position 0 går signalen SDRD0* från IC22 (stift 12) till IC31 (stift 7). När utbyggnadskort förekommer kan signalen utgå från IC22 (stift 12) på detta kort. Utbyggnadskortet saknar minnesregisterkapslar (IC30 - IC33) och motstånd (R4 - R19).

Data från läsförstärkarna klockas in till minnesregistret via de inverterande buffertstegen. Denna inklockning utförs av pulserna STR1* och STR2* (för position 0-7 resp. position 8-15).

Data från andra enheter matas på samma sätt till SU över "wired-or"-kretsarna i SMØ-0 till SDRD*-ingångarna. Data klockas in till minnesregistret CSDR1* och CSDR2* (för position 0-7 resp. position 8-15).

Datat (SDR) matas från minnesregistrets utgångar till inhiberkretsgrindarna (IC15, IC16, IC18 och IC19) på grundkortet och eventuella utbyggnadskort.

SDR* matas även direkt till CPU.

Styrsignalen INH driver via IC17 ena ingången på inhibergrindkretsarna låg. Hos de positioner som innehåller nollor från minnesregistret är även den andra ingången låg. Grindens utgång blir då hög, varvid transistorn "bottnar" och iniberström på ca 380 mA flyter genom minnesstacken.

Transistorn drar ström från +21V genom effektmotståndet R35 (för position 0) och minnesstackens iniberledning I00 och I00* (för position 0).

Till SMØ matas en signal (VAL) till den andra ingången på IC17. INH spärras på alla KK utom ett, där VAL är hög.

Namn	Gäller för	Utgåva	Sida
DATOR D5/20 SERIE		1	3:42

3.3.2.3 Styrelektronik (SCU)

För start av minnescykel avger centralenheten signalen STARTUKM*. Denna signal startar de båda bistabila vipporna i IC1. Se bild 3.3.10.

Tidskretsen C1, R2 och R1 ger strobpulsfördröjningen. Strobpulsen alstras på bakkanten av pulsen från stift 6 och 7, IC1.

En grind i IC4, som på grund av att kondensatorn C5 fördröjer bakkanten på utpuls, ger en kort puls på utgången. Denna puls utgör strob puls och dess bredd bestäms av C5. Vid skrivning spärras pulsen med signalerna SKRIV 1* och SKRIV 2* för läsförstärkarpositionerna 0-7 resp. 8-15 (plus 16 resp. 17 om paritetskontroll ingår).

Tidskonstanten i R4 och C3 bestämmer längden av adressströmpulsen genom minnesstacken vid utläsning (LÄS*). Denna puls grindas sedan i ett antal buffertgrindar, så att den endast avges till den minnesmodul, som adresserats. Efter denna grindning, benämns signalen LÄS 0 till första minnesmodulen, LÄS 1 till den andra, o.s.v.

IC1 startar även den bistabila vippan i IC2. Denna alstrar en puls, som används för att ge INH och SKR vid inskrivning.

Kondensatorn C9 fördröjer starten av IC2, så att lämplig tid erhålls mellan slutet på LÄS och början på INH,

Kondensatorn C7 fördröjer pulsen från IC2, så att båda ingångarna 1 och 2 på IC9 samtidigt blir höga. Då erhålls en kort negativgående puls på utgången. Ingången på stift 5 matas från funktionsutgången i IC2. Båda ingångarna kommer då inte att bli höga förrän pulsen på stift 3, IC9 upphört.

Under den tid, som båda ingångarna, stift 4 och 5, är höga, blir dess utgång låg. Denna puls bestämmer längden av strömpulsen vid inskrivning. På samma sätt som för LÄS* grindas SKR* i ett antal buffertgrindar, så att pulsen endast utgår till den minnesmodul som adresserats.

På grund av att C7 fördröjer bakkanten på pulsen från IC2, ger grinden IC7, stift 13, en kort positiv puls vid tiden för bakkanten. Eftersom utgången blir låg, då någon av ingångarna är hög, erhålls en negativgående puls på utgången, stift 10, under tiden för pulsen från IC2:s funktionssida (stift 6) plus tiden för pulsen från utgången, stift 13 (IC7).

Namn	Gäller för	Utgåva	Sida
DATOR D5/20 SERIE		1	343

Kondensatorn C10 ger en filtrering av den "dip", som uppstår vid övergången mellan dessa två pulser, samtidigt som den justerar läget av pulsen INH på den efterföljande inverterarens utgång.

Pulsen INH bestämmer inhiberströmpulsens längd genom minnesstacken.

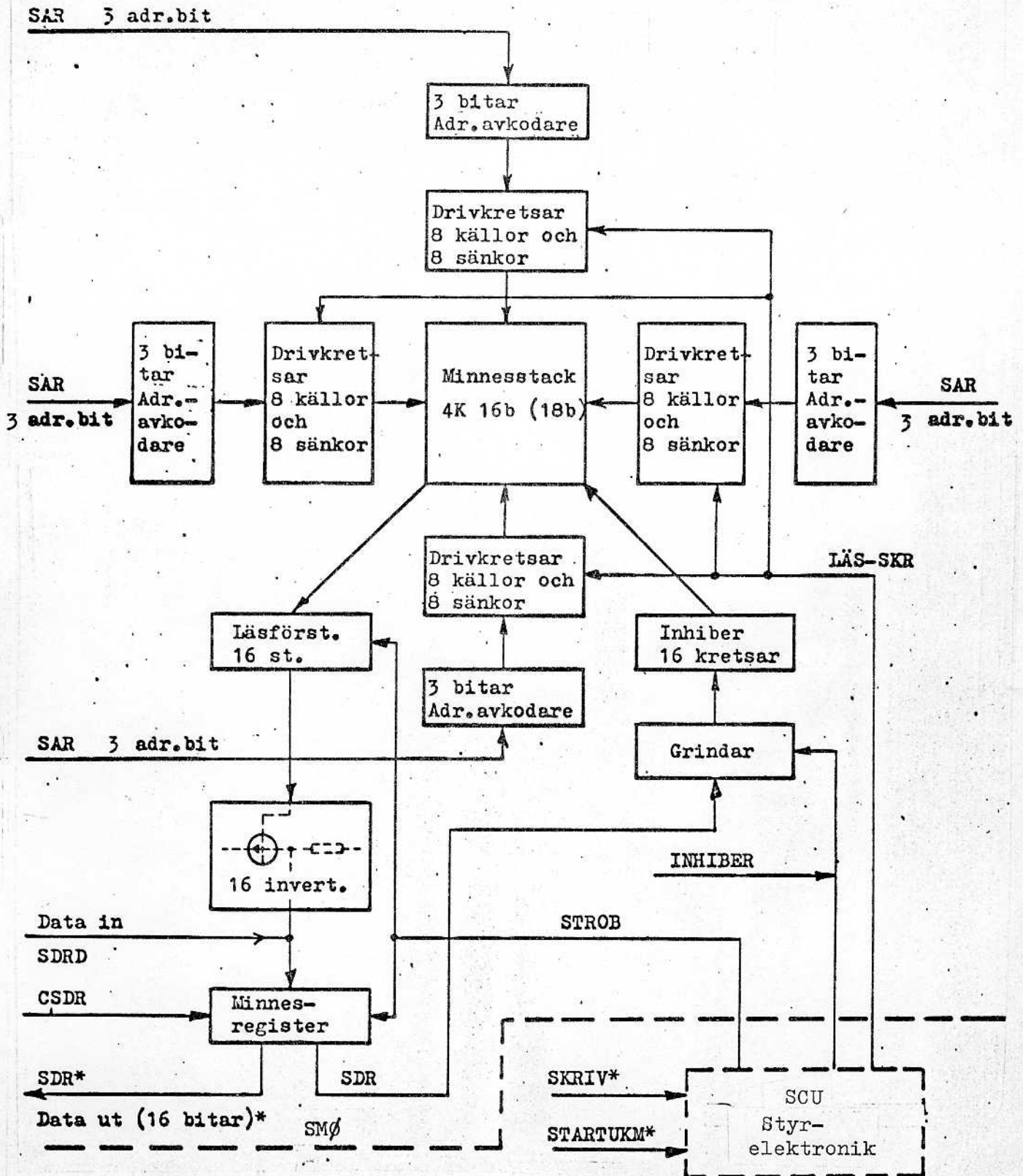
En adressavkodare, IC6, avkodar de fyra mest signifikanta adresspositionerna. Härvid erhålls de förut nämnda adressgrindsignalerna till buffertgrindarna för LÄS* och SKR* så att en minnesmodul väljs. Från avkodaren avges vidare signalerna VAL0, VAL 1 o.s.v. Signalen VAL 0 matas till minnesmodul 0, VAL 1 till modul 1 o.s.v. Endast till en modul blir denna signal hög under minnescykeln, så att INH kan passera grinden, IC19. Till de övriga minnesmodulerna är VAL låg, så att INH spärras.

3.3.2.4 Paritetskontroll

Minnesstacken har 18 bitar. Av dessa används bit 16 och 17 som paritetsbitar.

Vid läsning matas de båda utlästa paritetsbitarna, via var sin läsförstärkare och inverterare, in till minnesregistret, se bild 3.3.11. (Läsförstärkarna öppnas (strobos) med CSD 1 från SMØ kk för bit S16, som är paritetsbit till pos. 0-7 och CSD2 för bit S17, som är paritetsbit till pos. 8-15.) Inklockningen till minnesregistret utförs av STR 1* för SDRD 16* och av STR 2* för SDRD 17*. Från registerutgångarna matas sedan datat (SDRD 16* och SDRD 17*) ut från SMØ kk till paritetskontrollkretsarna på CPU kk.

Vid skrivning erhålls datat på SDRD 16* och SDRD 17* från paritetsgenereringskretsarna på CPU kk och klockas in till minnesregistret av CSDR 1* och CSDR 2*. Dessa signaler fördröjs i några inverterare för att kompensera fördröjningen i genereringskretsarna på CPU kk. Från registerutgångarna matas inhiberkretsarna. Varje inhiberkrets består av en transistor (Q1 resp. Q2) med strömbestämmande motstånd (R15 resp. R16) serie med inhiberledningen i minnesstacken.



T-10972-1

Bild 3.3.4 Minnesenhet (SMØ). Blockschema

Namn DATOR D5/20 SERIE	Gäller för om	Utgåva 1	Sida 3:45
---------------------------	------------------	-------------	--------------

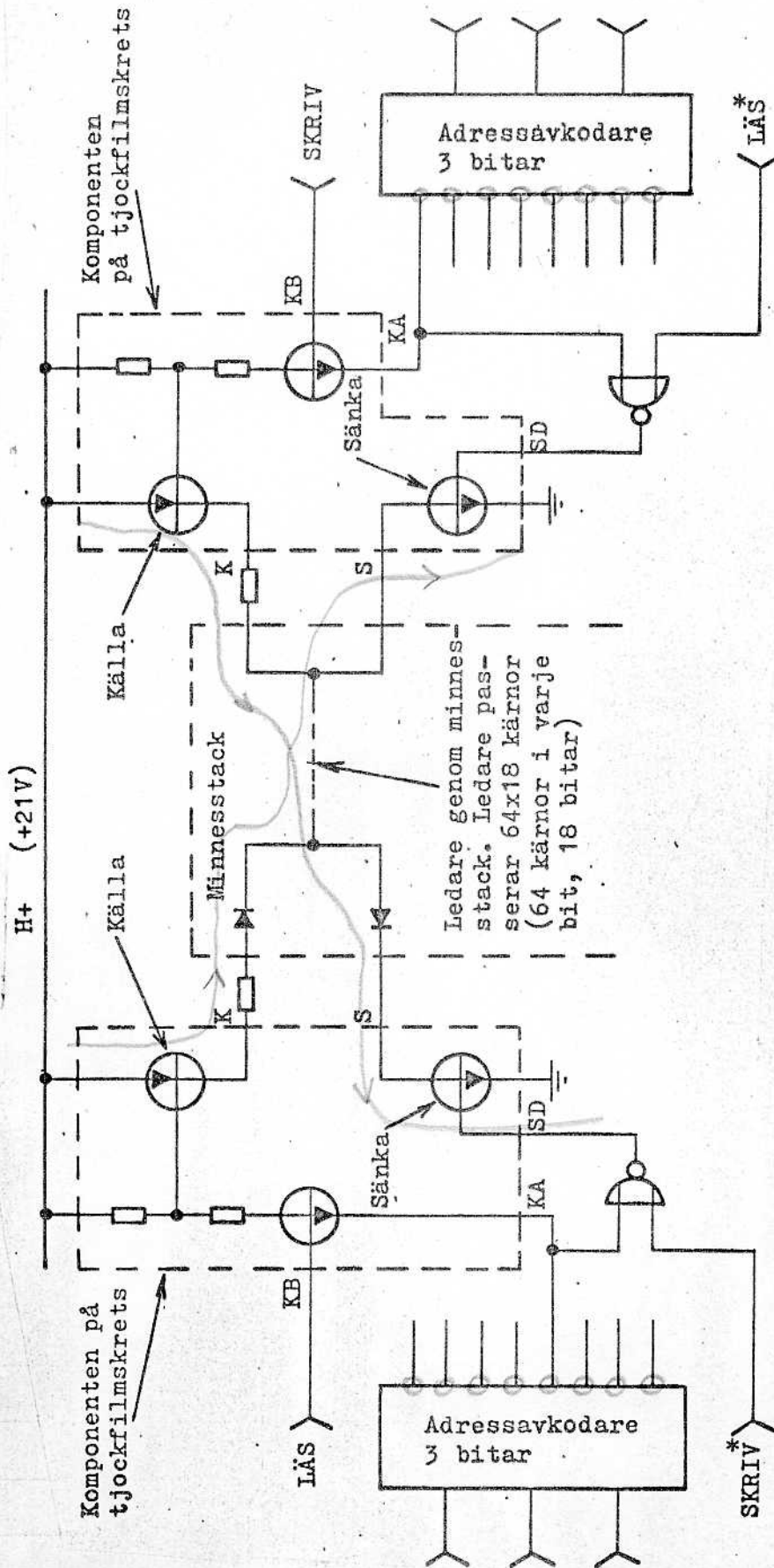
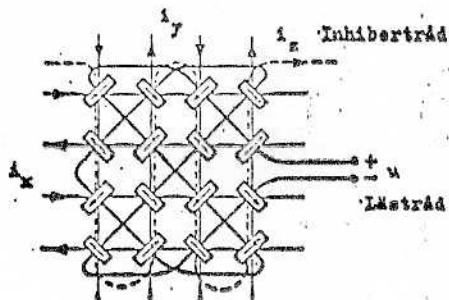
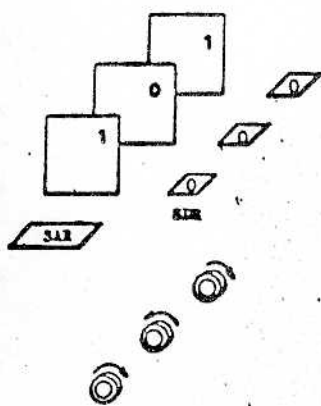


Bild 3.3.5 Drivkretsar. Principschema

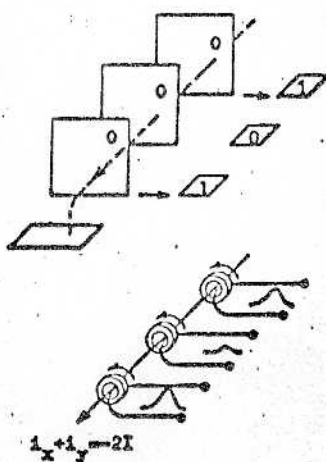
<p>Namn DATOR D5/20 SERIE</p>	<p>Gäller f o m</p>	<p>Utgåva 1</p>	<p>Sida 3:46</p>
-----------------------------------	---------------------	---------------------	----------------------



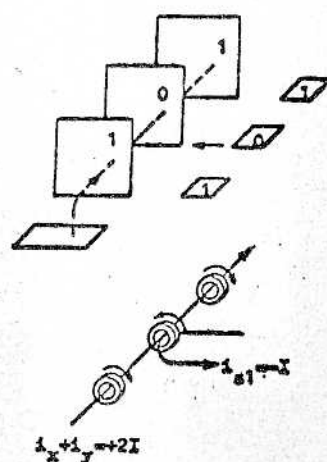
-	-	+	+
+	+	-	-
+	+	-	-
-	-	+	+



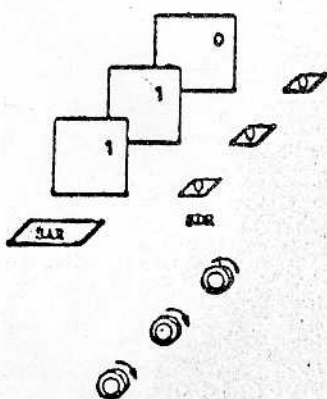
Utgångsläge



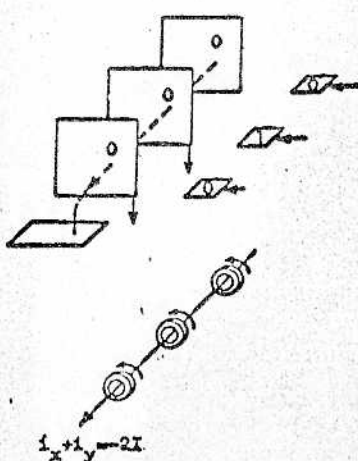
Läs
LÄS/STROB



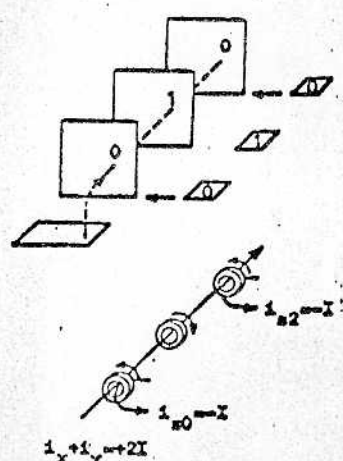
Återaktiv
SKRIV/INHIBER



Utgångsläge



Nollställ
LÄS



Skriver
SKRIV/INHIBER

T10970

Bild 3.3.6 Minneskärnor. Ledningsmönster och funktionslägen.

Namn	Gäller för	Utgåva	Sida
DATOR D5/20 SERIE		1	3:47

Adress in

START UKM
(Start av minnes-
cykel)

LÄS

SKR

INHIBER

Adresström genom
minnesstack

Läsström

ca 380 mA

Skrivström

ca 380 mA

ca 380 mA

INHIBERSTRÖM

Signaler ut från
läsledaren

1

0

Fördröjning i läsförst.

STROB (ej beronde
av klocktid)

Från läsförstärkare
in till minnesregister

0

1

Data ut
(icke-funkt.)

0

1

SKRIV*

Läsning

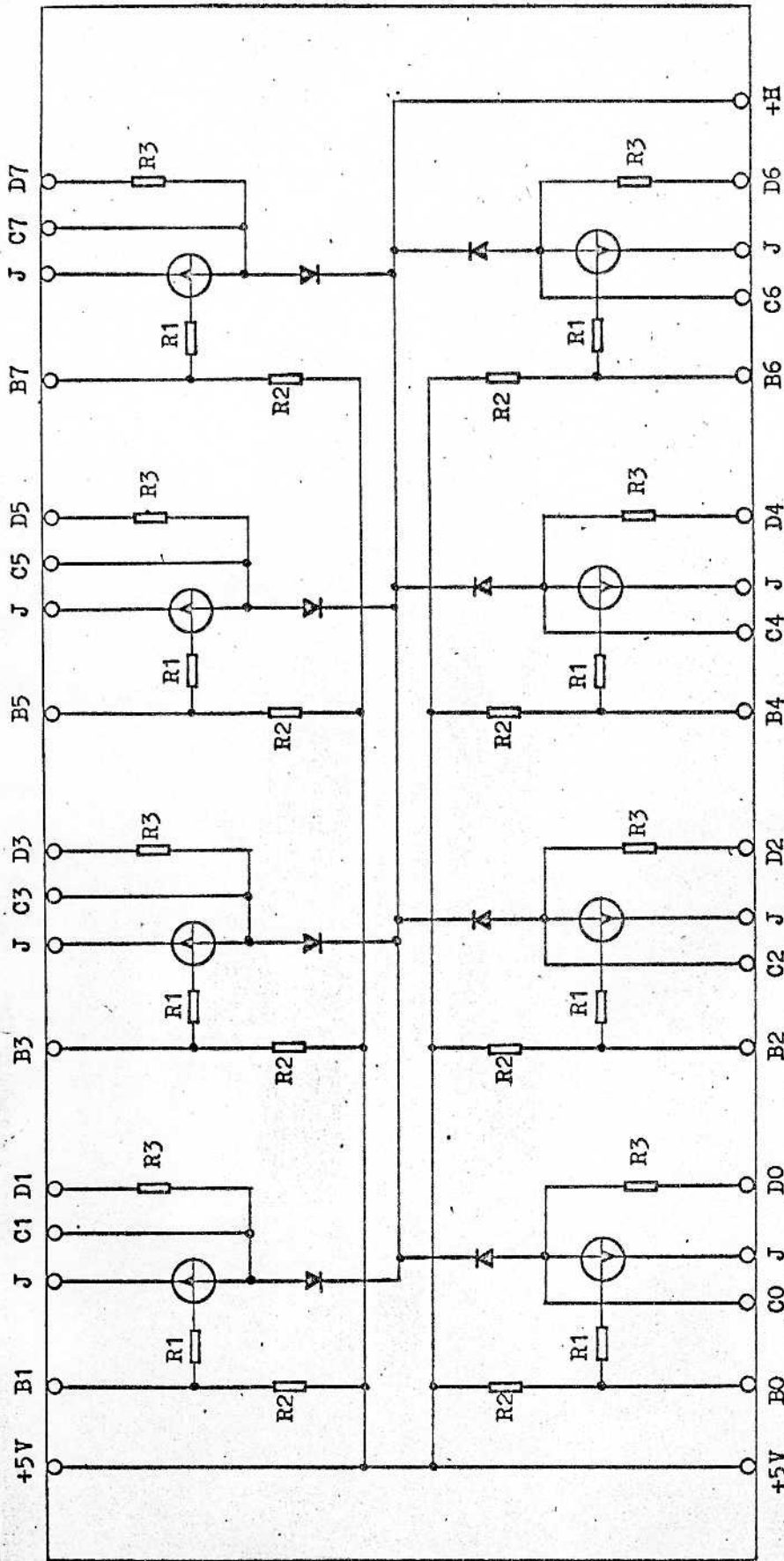
Skrivning

CSDR*

T-10969

Bild 3.3.7 Pulser i minnesenheten (SU).

Namn	Gäller f o m	Utgåva	Sida
DATOR D5/20 SERIE		1	3:48

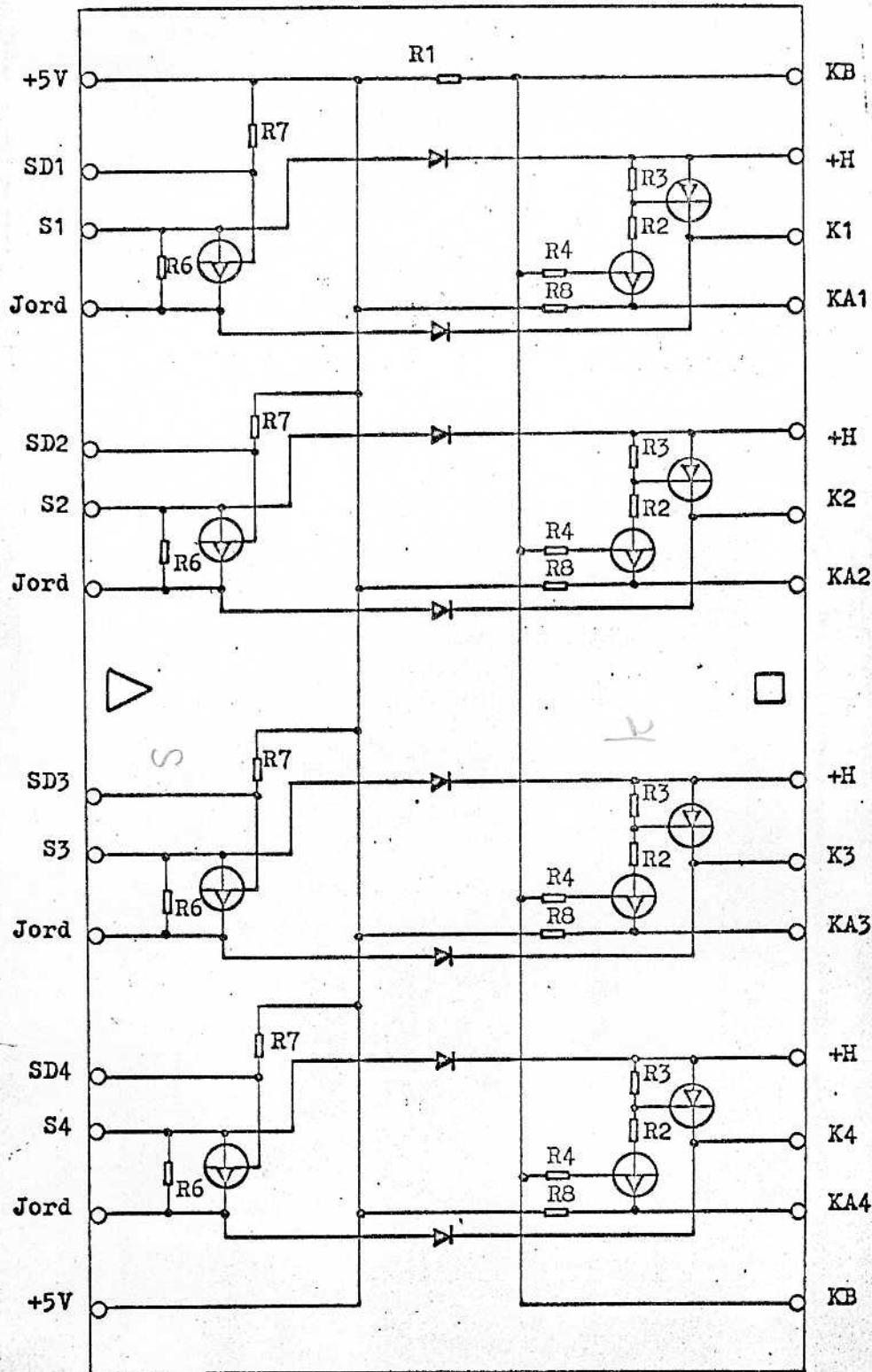


T10968

- R1 18 Ω
- R2 330 Ω
- R3 2,2K Ω

Bild 3.3.8 Tjockfilms-platta med inhiberkretsar

Namn DATOR D5/20 SERIE	Gäller för m	Utgåva 1	Sida 3:49
---------------------------	--------------	-------------	--------------



- R1 2,2K Ω
- R2 450 Ω
- R3 82 Ω
- R4 560 Ω
- R6 4K Ω
- R7 330 Ω
- R8 1,5K Ω

T10967

Bild 3.3.9 Tjockfilmsplatta 412. Drivkrets, planstack.

Namn DATOR D5/20 SERIE	Gäller för	Utgåva 1	Sida 3:51
---------------------------	------------	-------------	--------------

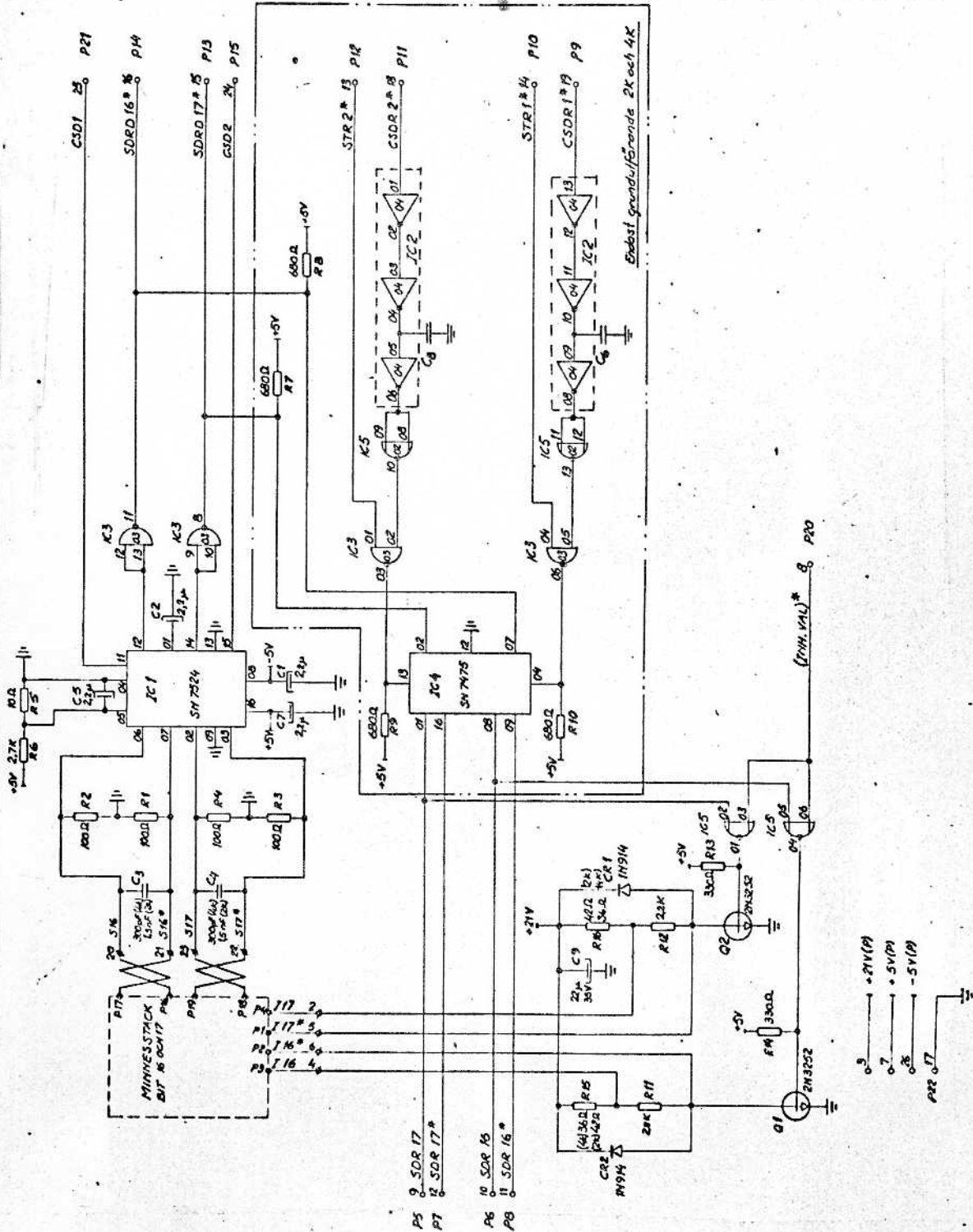
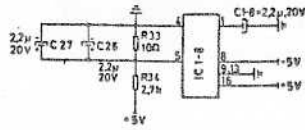


Bild 3.3.11 Principschema, funktion. Paritetskontroll

Fig. visar strömförsörjningen till IC1-B.



In. Pallettsorient.
Retent

P14	SDR16*	2A22
P13	SDR17*	2A23
P8	SDR16	2A24
P8	SDR16	2A25
P5	SDR17	2A26
P7	SDR17*	2A27

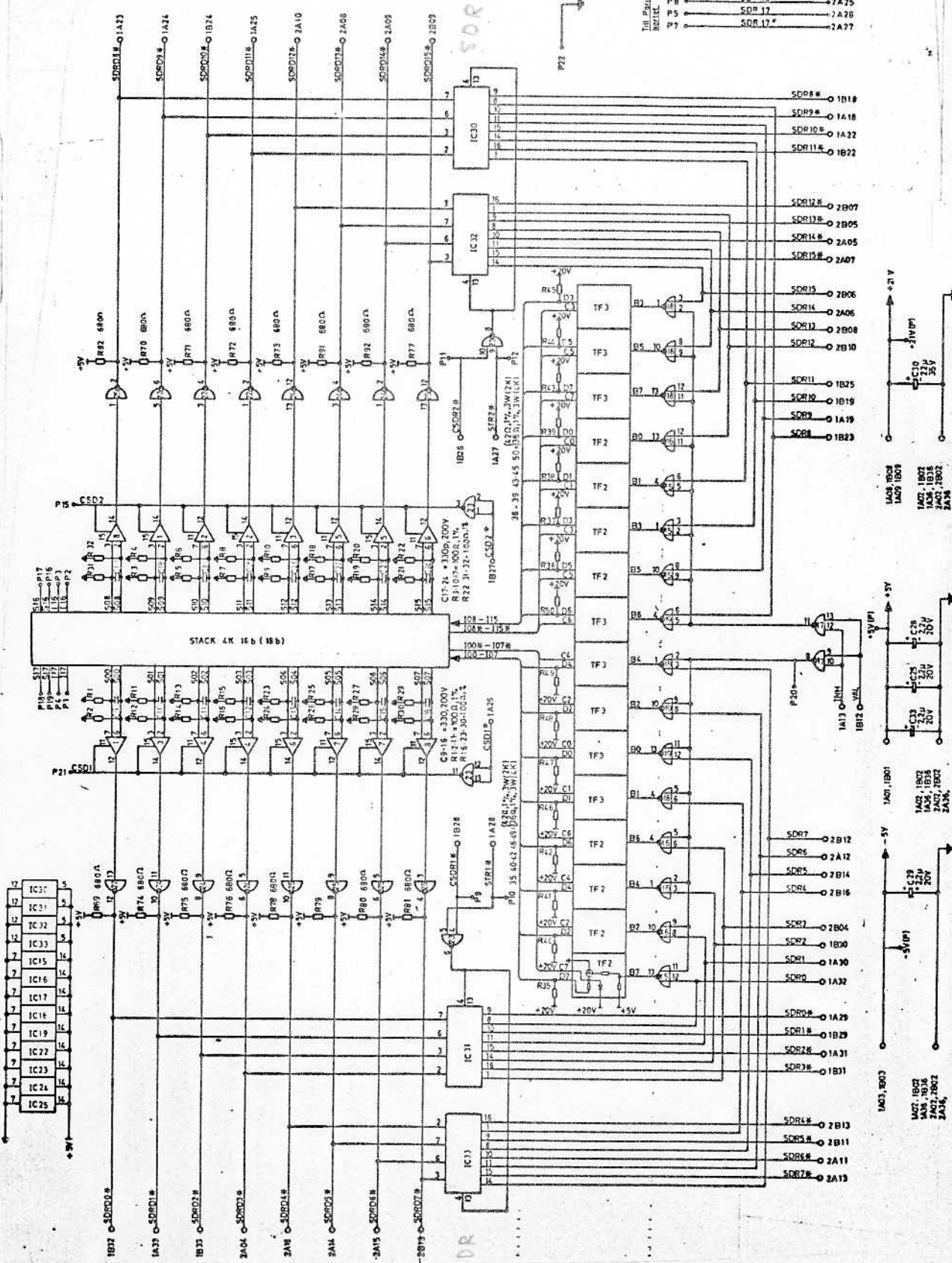


Bild 3.3.12 Principschema, funktion för SMØ grundkk. Datasystemet

Namn	Gäller f o m	Utgåva	Sida
DATOR D5/20 SERIE		1	3:53

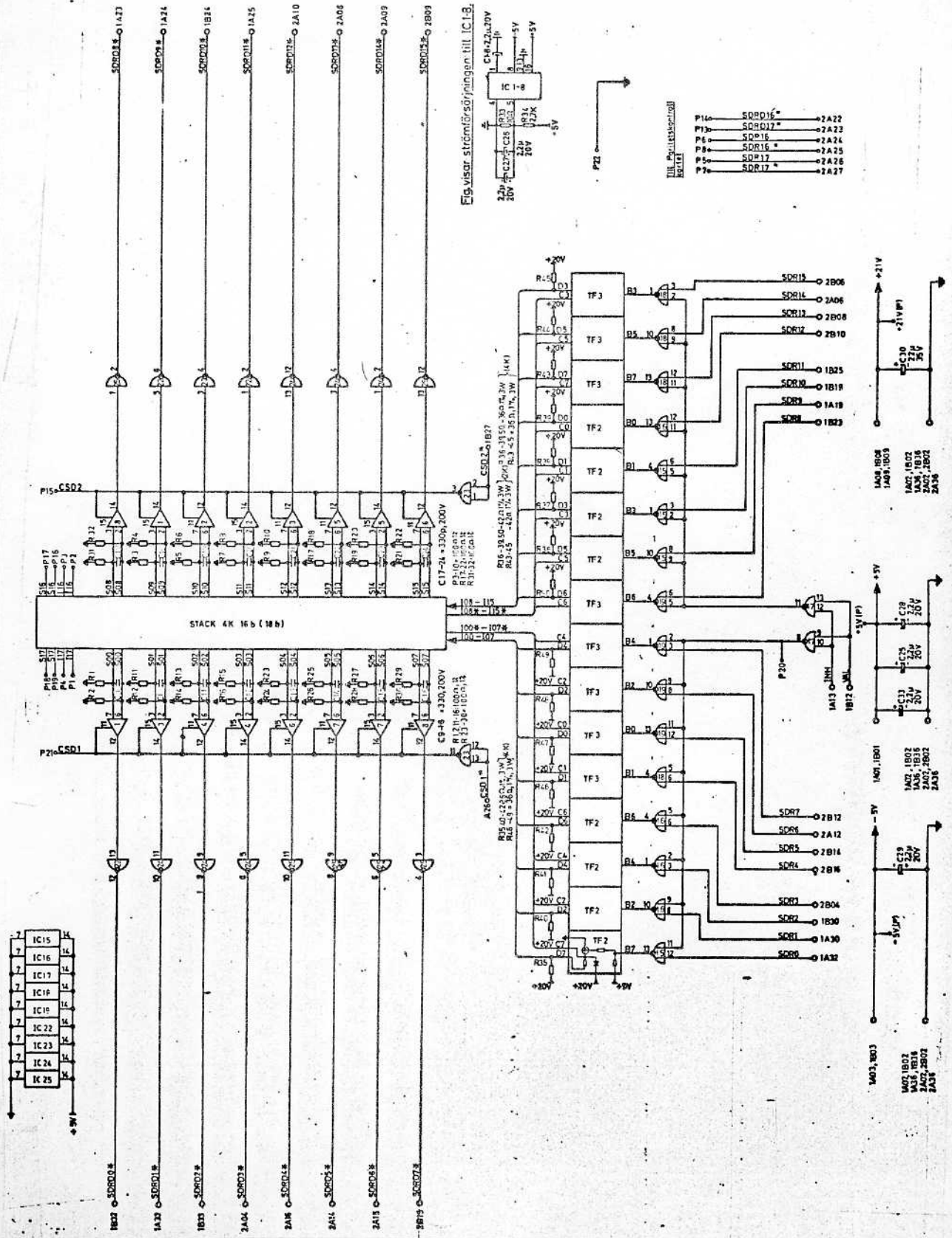


Bild 3.3.13 Principschema, funktion för SMØ utbyggn.kk. Datasystemet

Namn	Gäller för	Utgåva	Sida
DATOR D5/20 SERIE		1	3:54

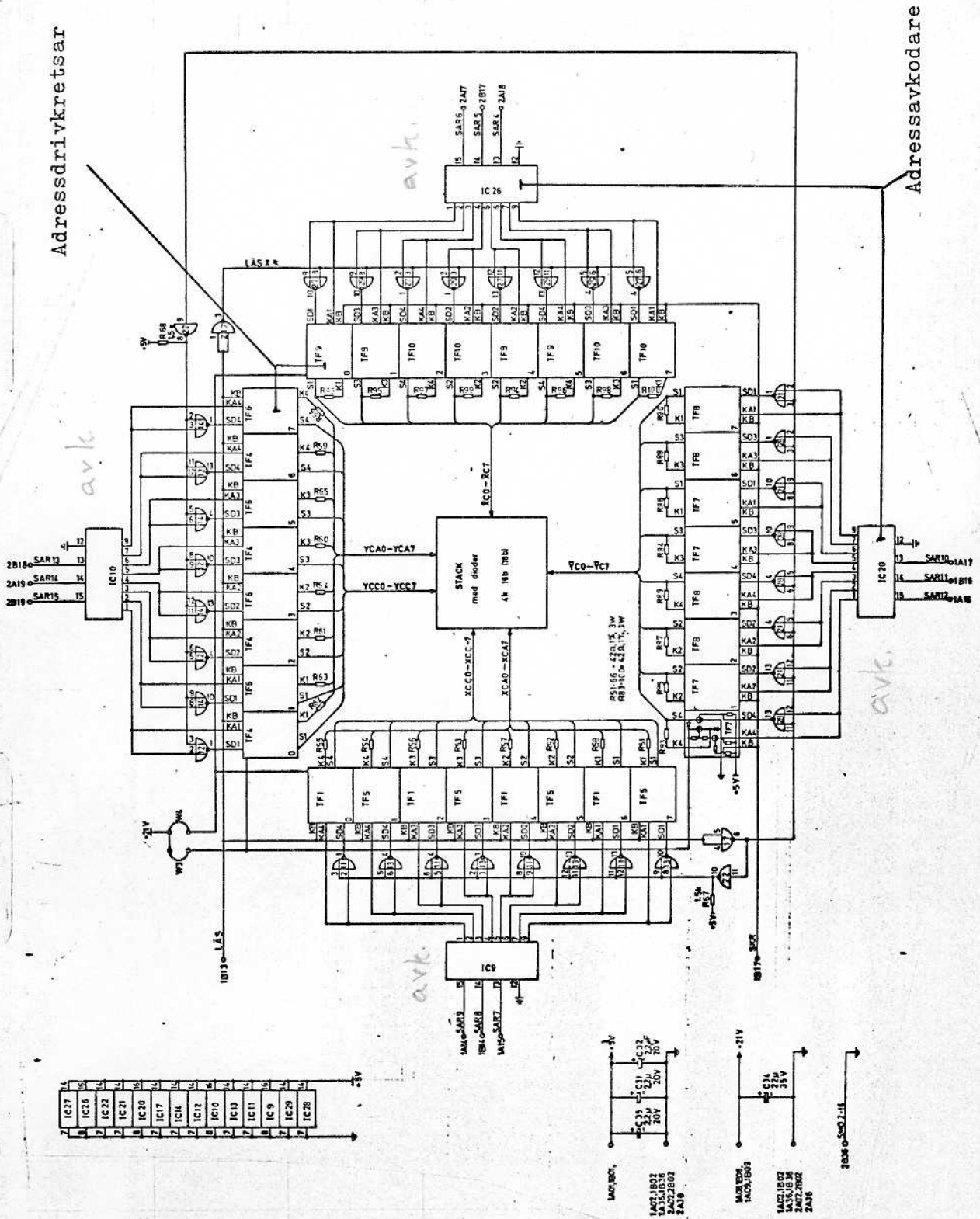


Bild 3.3.14 Principschema, funktion för SMØ grundkk. Adresssystemet.

Namn	Gäller för	Utgåva	Sida
DATOR D5/20 SERIE		1	3:55

3.4 Centralenhet (CPU)

Centralenheten som arbetar med 16 bitars data- och adressbredd utgörs av en styrenhet (CU) och en aritmetisk enhet (AU).

3.4.1 Uppbyggnad

CU och AU är uppbyggda på ett gemensamt helkort (1/1 kk). Se bild 3.1.7, 3.4.1 och 3.4.2.

CU, som innehåller datorns styrelektronik, utgörs bl.a. av följande register:

CM-ROS (Control Memory - Read-Only Storage) som utgörs av sex kapslar (IC 111-116) för styrminnet, innehållande samtliga operationers mikroprogram och två kapslar (IC 19 och IC 20) för laddasekvensen. Se bild 3.4.2 och 3.4.3.

CMR (Control Memory Register) utgörs av fem kapslar (IC 93 - 95, IC 99 och IC 119) och lagrar den ur CM-ROS utlästa informationen. Se bild 3.4.2 och 3.4.3.

OPR (Operation Register) utgörs av en kapsel (IC53) och lagrar operationskoden. Se bild 3.4.2 och 3.4.3.

AU, som innehåller centralenhetens aritmetik, utgörs av ca 40 DIP-kapslar och består av bl.a. följande register:

DR (Data Register) utgörs av två kapslar (IC2 och IC5) och utför aritmetiska operationer och överför data parallellt till SU/SDR, AR, IOCH och via drivkretsar till ADP-platserna. Se bild 3.4.2 och 3.4.3.

AR (Accumulator Register) består av två kapslar (IC 23 och IC 26) och används som källregister tillsammans med DR vid aritmetiska operationer och vid adressberäkning. Se bild 3.4.2 och 3.4.3.

SASR (Storage Adress Shifting Register) utgörs av två kapslar (IC 101 och IC 102) och kan högerskifta för erhållande av ordadress. Överför data parallellt till SAR. Se bild 3.4.2 och 3.4.3.

SAR (Storage Adress Register) består av två kapslar (IC 121 och IC 122) och är ett buffertregister för adress till SU.

IAR (Instruction Adress Register) består av en kapsel (IC 62) och är en programräknare. Se bild 3.4.2 och 3.4.3.

Namn	Gäller för	Utgåva	Sida
DATOR D5/20 SERIE		1	356

Utöver registren kan även nämnas:

Oscillatorn (Y1), Klockpulsgeneratoren (IC 107), Laddasekvensen (IC 19 och IC 20), Skrivskyddet (IC 102 och IC 104) och Paritetskontrollen (IC 44 och IC 45). Se bild 3.4.2 och 3.4.3.

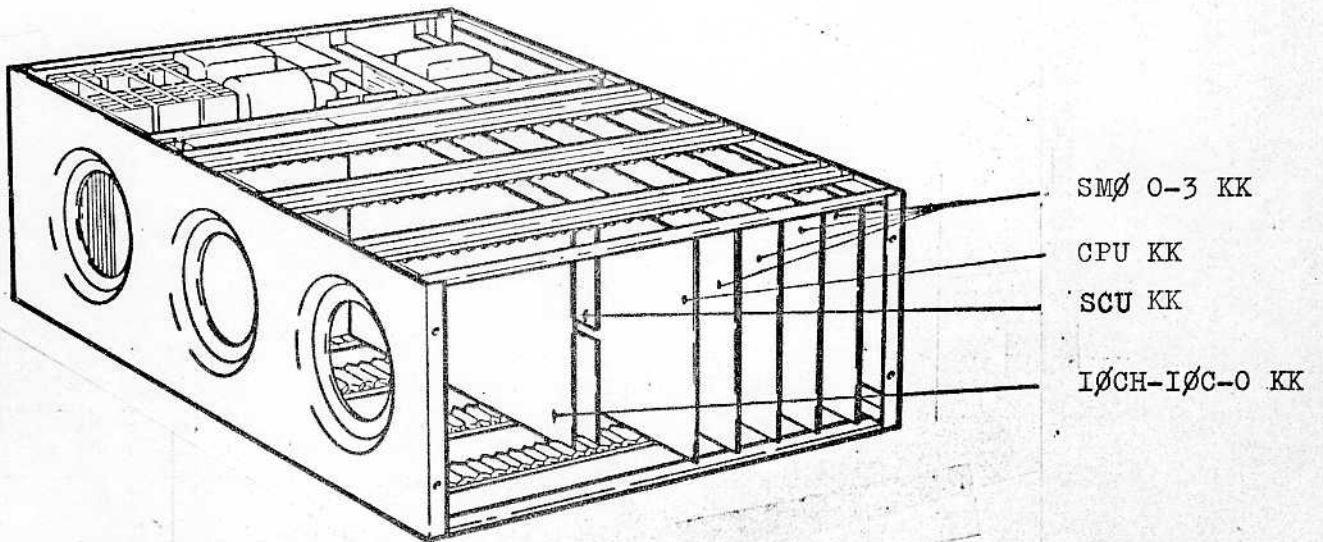


Bild 3.4.1 Centralenhet (CPU). Uppbyggnad

Namn DATOR D5/20 SERIE	Gäller för m	Utgåva 1	Sida 3:57
---------------------------	--------------	-------------	--------------

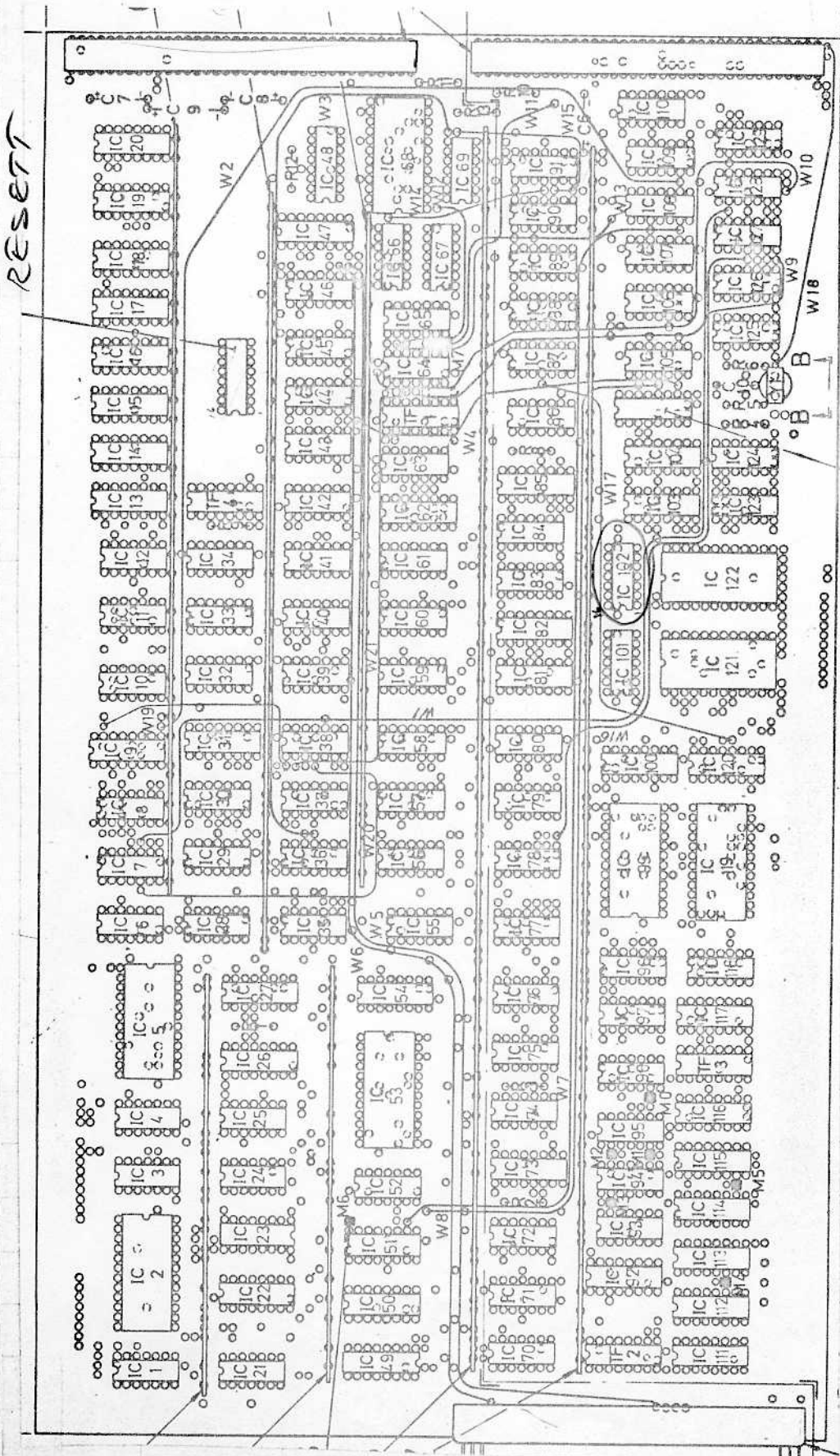
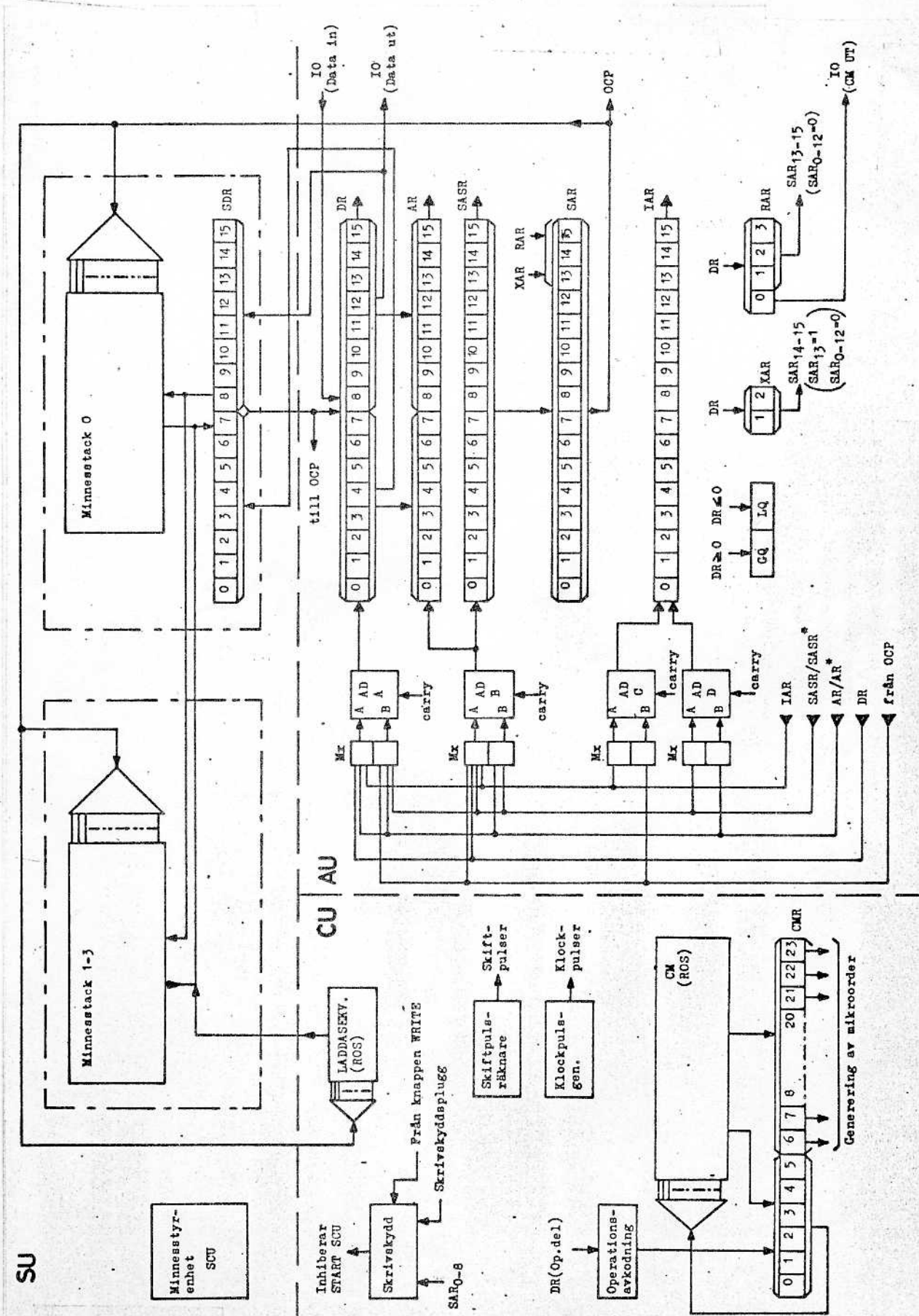


Bild 3.4.2 Kretskort (CPU). Uppbyggnad.

INS 3001 01-10-1 9 25 20 100 80 32

Namn DATOR D5/20 SERIE	Gäller för	Utgåva 1	Sida 3:58
---------------------------	------------	-------------	--------------



IN 200910-662 9 69 20 300 80752

T 11529

Bild 3.4.3 Blockschema över centralenhet (CPU)

Namn	Gäller f o m	Utgåva	Sida
DATOR D5/20 SERIE		1	3:59

3.4.2 Funktion

3.4.2.1 Styrenhet (CU)

Följande funktioner beskrivs nedan: Styrenhetsminne, stopplogik, operationsavkodning, klockpulsgenerator och mikroprogram.

Styrenheten, som leder och samordnar dataflödet, är uppbyggd kring ett styrminne (CM), vari mikroprogrammen ligger lagrade.

Mikroprogrammen visar operationssekvenserna i styrminnet. För att förstå styrenhetens funktion bör mikroprogrammen studeras.

Styrenhetsminne (CM)

ROS-minnets uppgift är att använda den lagrade informationen för att generera styrsignaler (mikroorder). Minnet är uppdelat på tre grupper om två IC-kapslar i varje. Se bild 3.4.2 och 3.4.33.

Detta ger en total kapacitet på 64 ord, vardera på 24 bitar. För att kunna utnyttja hela detta minne åtgår sex adressbitar. De sex första positionerna (0-5) i CMR används för detta.

De sex första bitarna i varje ord i CM innehåller adressen till det nästkommande ordet i mikroprogramsekvensen. De övriga 18 bitarna utnyttjas för mikroorder. Styrminnet innehåller de för varje operation nödvändiga styrsignalerna.

På detta sätt erhålls en önskad följd av mikroinstruktioner d.v.s. en operation. När en operation är avslutad finns i dess sista cell adressen till första cellen i inledningen (INL1). Inledningen (INL1-8) är gemensam för alla operationer. För att kunna utföra vilken operation som helst efter någon annan, måste styrminnet initieras. Detta sker efter inledningen (INL) beroende på vad som finns i orderordet (se vidare under operationsavkodning). Mikroinstruktionerna representeras i styrminnet av ett-ställda positioner. Se bild 3.4.4.

<p>Namn DATOR D5/20 SERIE</p>	<p>Gäller för</p>	<p>Utgåva 1</p>	<p>Sida 3:60</p>
-----------------------------------	-------------------	---------------------	----------------------

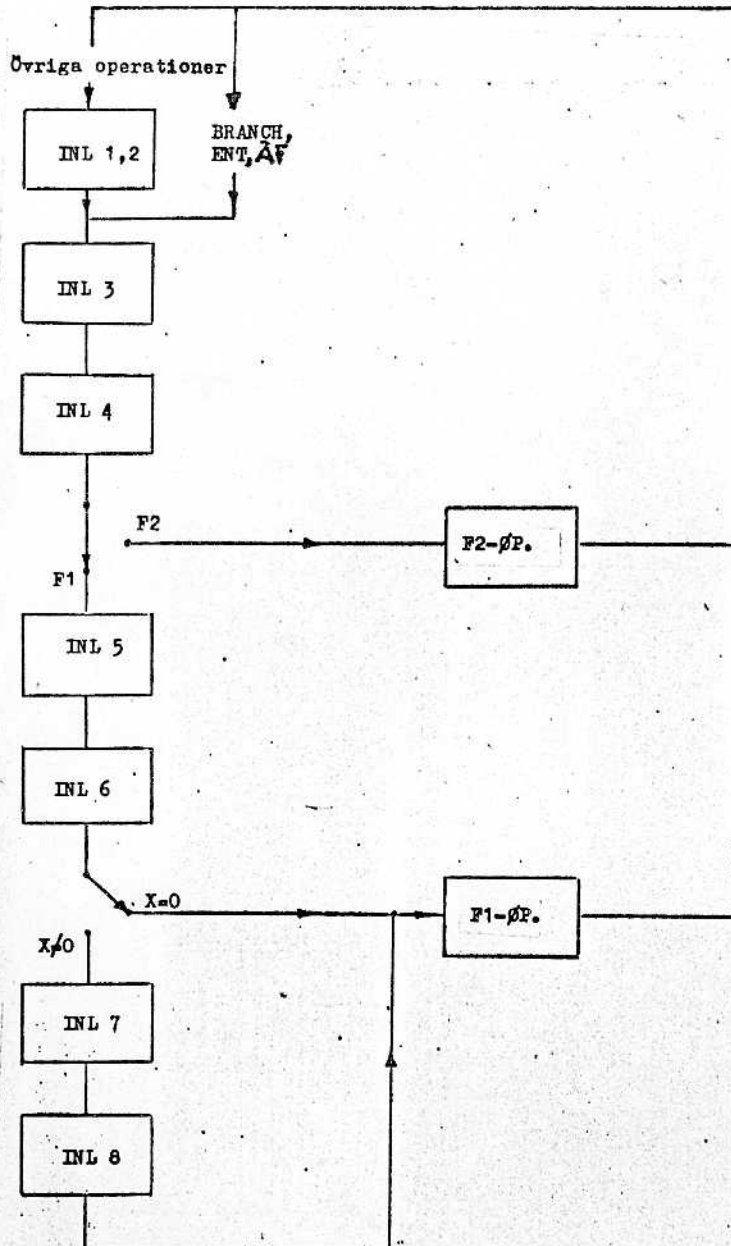
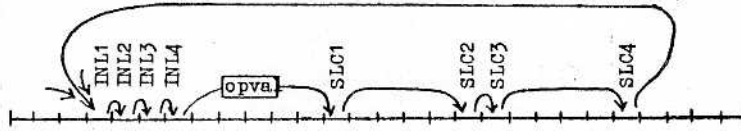


Bild 3.4.4 Mikroinstruktioner

Namn DATOR D5/20 SERIE	Gäller f o m	Utgåva 1	Sida 3:61
---------------------------	--------------	-------------	--------------

Styrminnet kan initieras vid tre olika tillfällen i mikroprogrammet, samtliga under inledningen (INL), se även mikroprogrammet. Villkoret "F2" ger ny initiering efter INL 4 vid ① "EJ INDEXERING" efter INL 6 vid ② och "INDEXERING SLUT" efter INL 8 vid ③. Endast en indexering kan göras per operation.

Adresserna till styrminnet är valda på ett speciellt sätt. Fyra av adressens sex positioner ersätts med ØPR vid initiering. Den första adresspositionen tages alltid från styrminnets egen utgång, medan den andra positionen ett-ställs, om F2-operation är beordrad (avkännes i INL4).

Vid val av F1/F2-operation (mellan INL4 och INL5) löper mikroprogrammet alltid som om en F1-operation skulle följa. När operationen avkodas till F2 vid ④ ändras en bit i styrminnesadressen (CMR1), varvid mikroprogrammet leds in i F2-sekvensen.

Namn DATOR D5/20 SERIE	Gäller för m	Utgåva 1	Sida 3:62
---------------------------	--------------	-------------	--------------

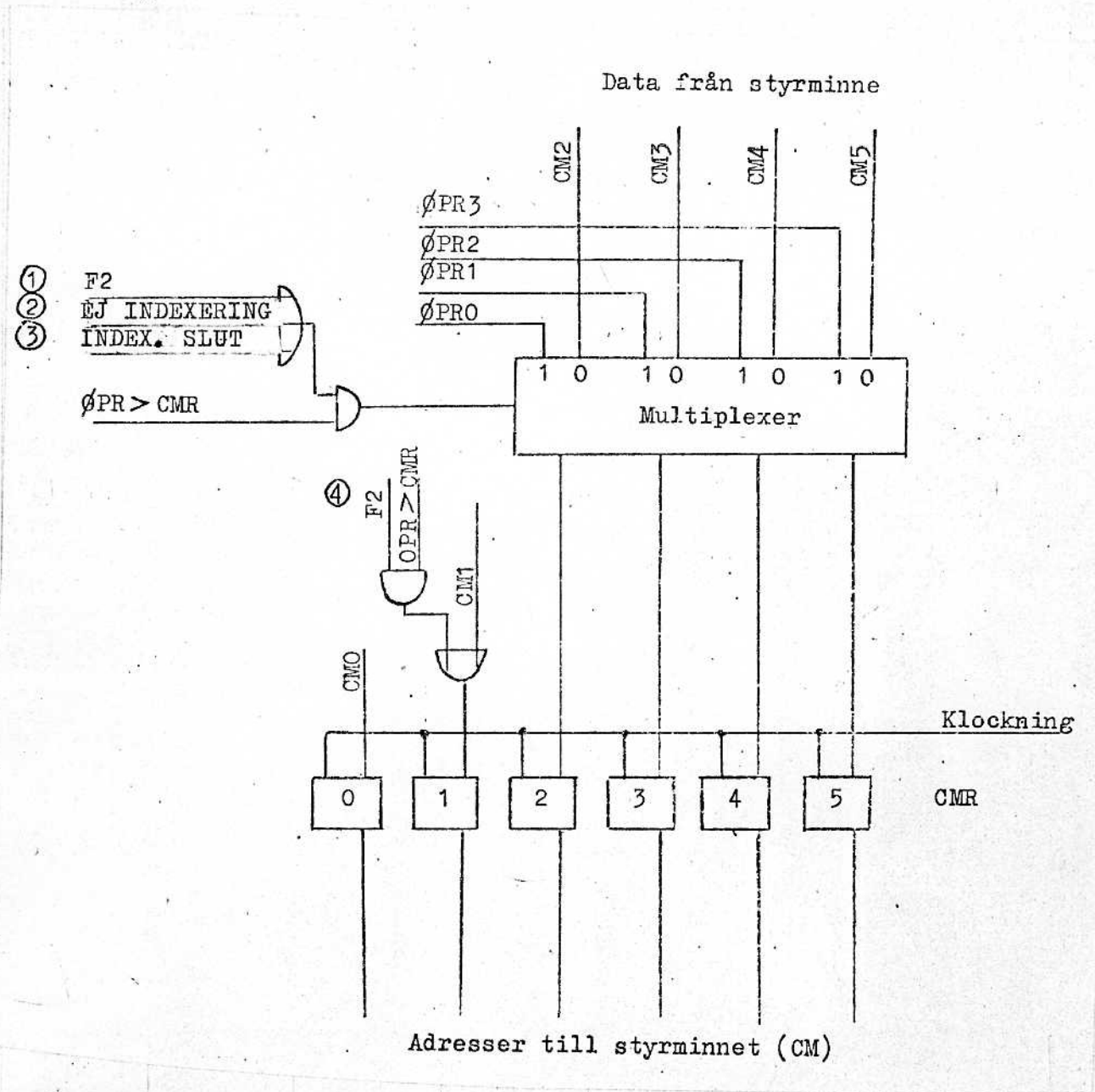


Bild 3.4.5 Styrminnesinitiering

<p>Namn DATOR D5/20 SERIE</p>	<p>Gäller för</p>	<p>Utgåva 1</p>	<p>Sida 3:63</p>
-----------------------------------	-------------------	---------------------	----------------------

Stopplogik

För vissa ändamål skall styrenheten kunna stoppas för att invänta signaler. Följande varianter förekommer:

1. TOMT MOMENT. (Styrenheten hoppar över ett moment, ca 670 ns, utan att leverera några styrsignaler.)
2. STOPP 2. (Styrenheten stoppar, om IØ-systemet ej har tagit emot eller lämnat information som sänts eller anropats. Den fortsätter igen, när kvitteringssignal erhållits.)
3. STOPP 1. (Styrenheten stoppar, om kvitteringssignal ej fallit, innan ny IØ-operation påbörjats.)

TOMT MOMENT, används för att få en viss tid att gå utan att behöva utnyttja någon av styrminnets celler. Ex.när kärnminnets cykeltid är ca 2 x momenttiden och det för vissa operationer är nödvändigt att vänta tills minnescykeln är avslutad, innan bearbetning kan fortsätta.

STOPP 1 och STOPP 2 är styrda ifrån IØ-systemet med signalen ACC, som är klarsignal från yttre enhet (PU).

Stoppvillkoren utnyttjar två positioner i styrminnet, CM6 och CM7. I dessa positioner insätts koderna:

CM6	CM7	
0	0	
0	1	STØPP 1
1	0	TØMT MØMENT
1	1	STOPP 2

I nedanstående exempel som avviker från normalt genomlopp i CM visas förloppet vid de olika stoppmöjligheterna samt testpanelens funktion.

TOMT MOMENT: Se bild 3.4.6.

Klockpuls B2 insätter stoppkoden 1.0 i stoppvipporna (CMR6 och 7) vid ①, varvid enable-ingången hos CM noll-ställs vid ②. A1 klockar därför in nollor i CMR vid ③.

Vippan EJ STØPP ställs i A2 vid ④ och stoppkoden i stoppvipporna återställs i B1 vid ⑤. Återställning möjliggör att adressen till ST3 klockas in i C2 vid ⑥ och tillståndet vid ④ förhindrar en ny inklockning av stoppkoden vid ⑦.

0 = hög ickefunktion och låg funktion.

1 = låg ickefunktion och hög funktion.

Namn DATOR D5/20 SERIE	Gäller f o m	Utgåva 1	Sida 3:64
---------------------------	--------------	-------------	--------------

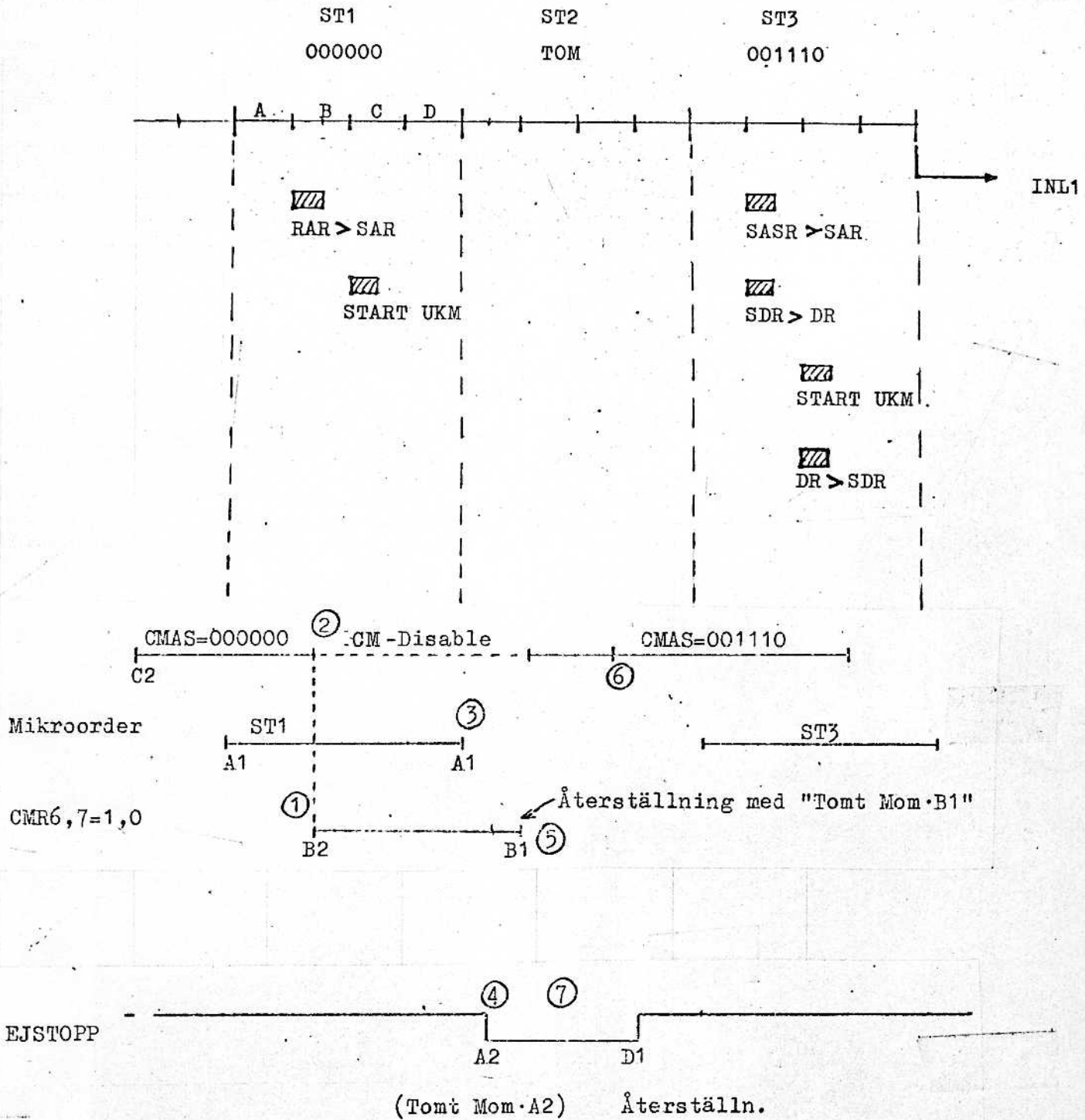


Bild 3.4.6 Exempel visande klockning (TOMT MOMENT)

Namn	Gäller för	Utgåva	Sida
DATOR D5/20 SERIE		1	3:65

STOPP 2 (villkorligt). Se bild 3.4.7.

När STOPP 2 utsättes vid ① och ② påbörjas i princip förloppet vid TOMT MOMENT, vilket medför att nästa moment blir tomt.

Om ACC ej hunnit fram till D1 vid ③ kommer ännu ett moment att utgöra uppehåll. Detta kommer att inträffa varje gång D1 passeras.

Om ACC kommer innan D1 vid ④, ställs minnesvippan åter vid 5, vilket medför att CMR6 och 7 nollställs vid ⑥. CM frisläpps vid ⑦ och ny CM-adress kan klockas in.

För STOPP 1 gäller samma funktion, men att stoppvillkoret utgörs av ACC. Styrenheten stannar, om ACC ej hunnit falla efter en föregående IN-respektive OUT-operation. Då ACC fallit fortsätter styrenheten som i STOPP 2.

ANM. STOPP 1 utnyttjas bara i speciella fall. I IO-systemets vanligaste konfigurationer förekommer ej STOPP1.

Namn DATOR D5/20 SERIE	Gäller f o m	Utgåva 1	Sida 3:66
---------------------------	--------------	-------------	--------------

OUT4

INL1

1 1 0 1 0 0

0 0 0 1 1 1

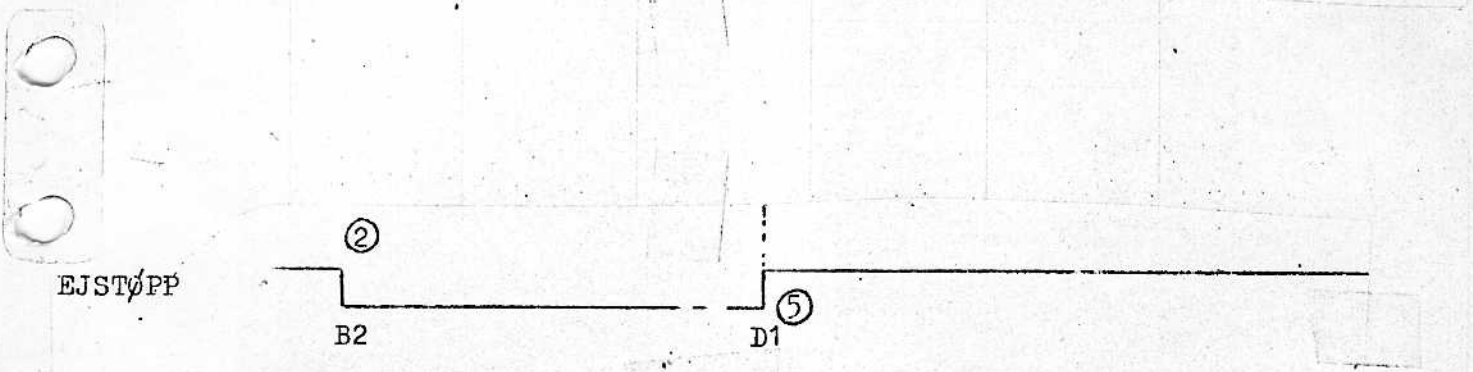
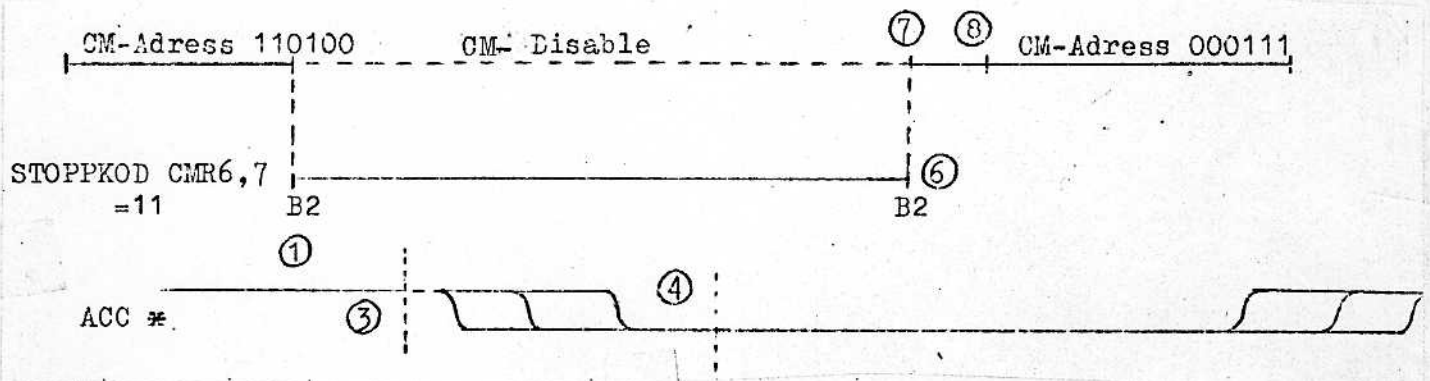
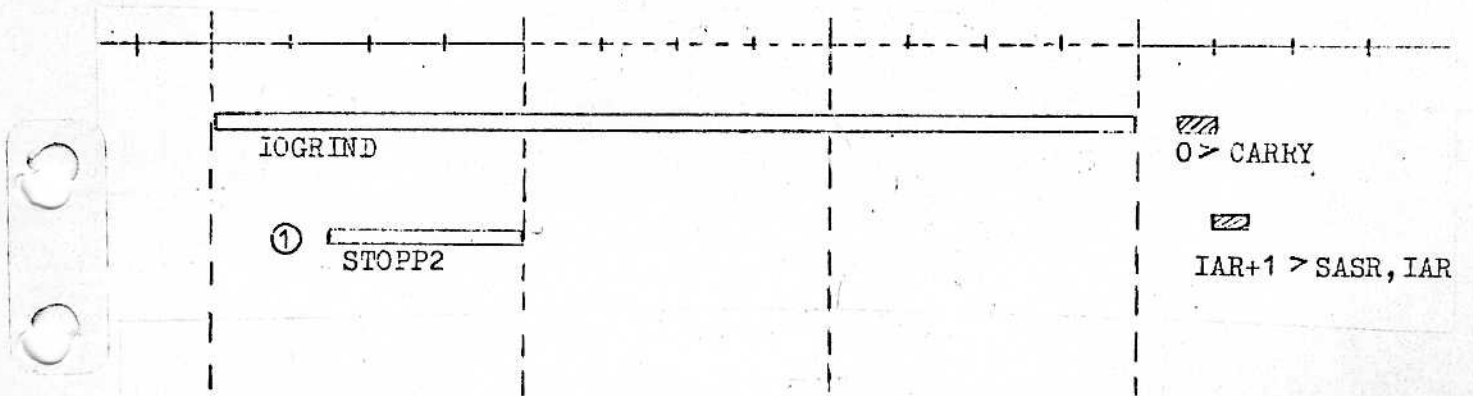


Bild 3.4.7 Exempel visande klockning (STOPP2)

Namn DATOR D5/20 SERIE	Gäller för	Utgåva 1	Sida 3:67
---------------------------	------------	-------------	--------------

Testpanelens (ØCP) stoppfunktion

När stopp-knappen (STOP) på testpanelen trycks in, kommer genomloppet av mikroprogrammet (styrminnet) att avbrytas, då INL4 passerat.

Stoppknappen avkänns varje gång som INL4 passeras.

När startknappen (RUN) eller steg-knappen (STEP) trycks i stoppläge, börjar styrenhetens funktion i INL4. Se bild 3.4.8.

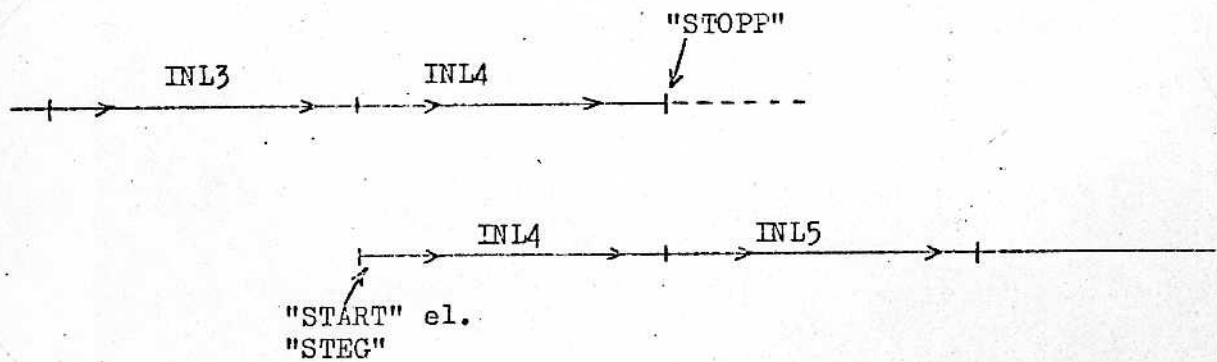


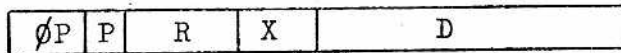
Bild 3.4.8 Testpanelens stoppfunktion

Namn DATOR D5/20 SERIE	Gäller f o m	Utgåva 1	Sida 3:68
---------------------------	--------------	-------------	--------------

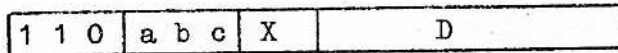
Operationsavkodning:

Datorn styrs av kod- eller orderord tagna i tur och ordning ur programmet i minnet. Dessa ord kan förekomma i följande fyra olika utseenden:

F1A
(F1 Grupp 1)

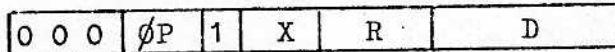


F1B
(F1 Grupp 3)

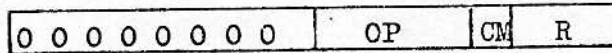


HOPPINSTR

F1C
(F1 Grupp 2)

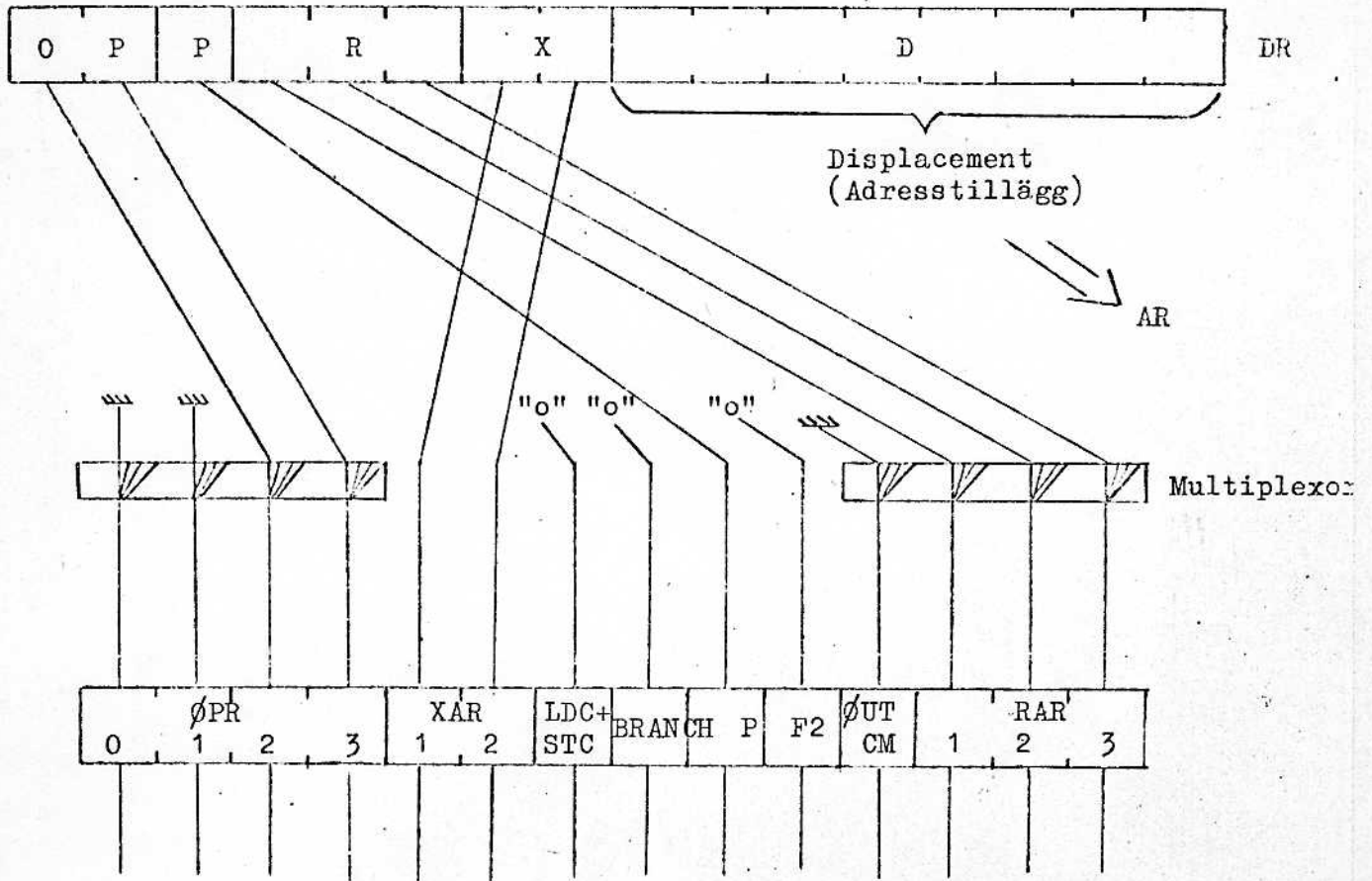


F2



Styrenheten avkänner orderordet i Inledningen (INL), där mikroordern "LAGRAMÄRKNING" klockar in orderordets information i ØPR (operationsregister), RAR (R-adressregister) och XAR (indexadressregister). Se bild 3.4.9 - 12.

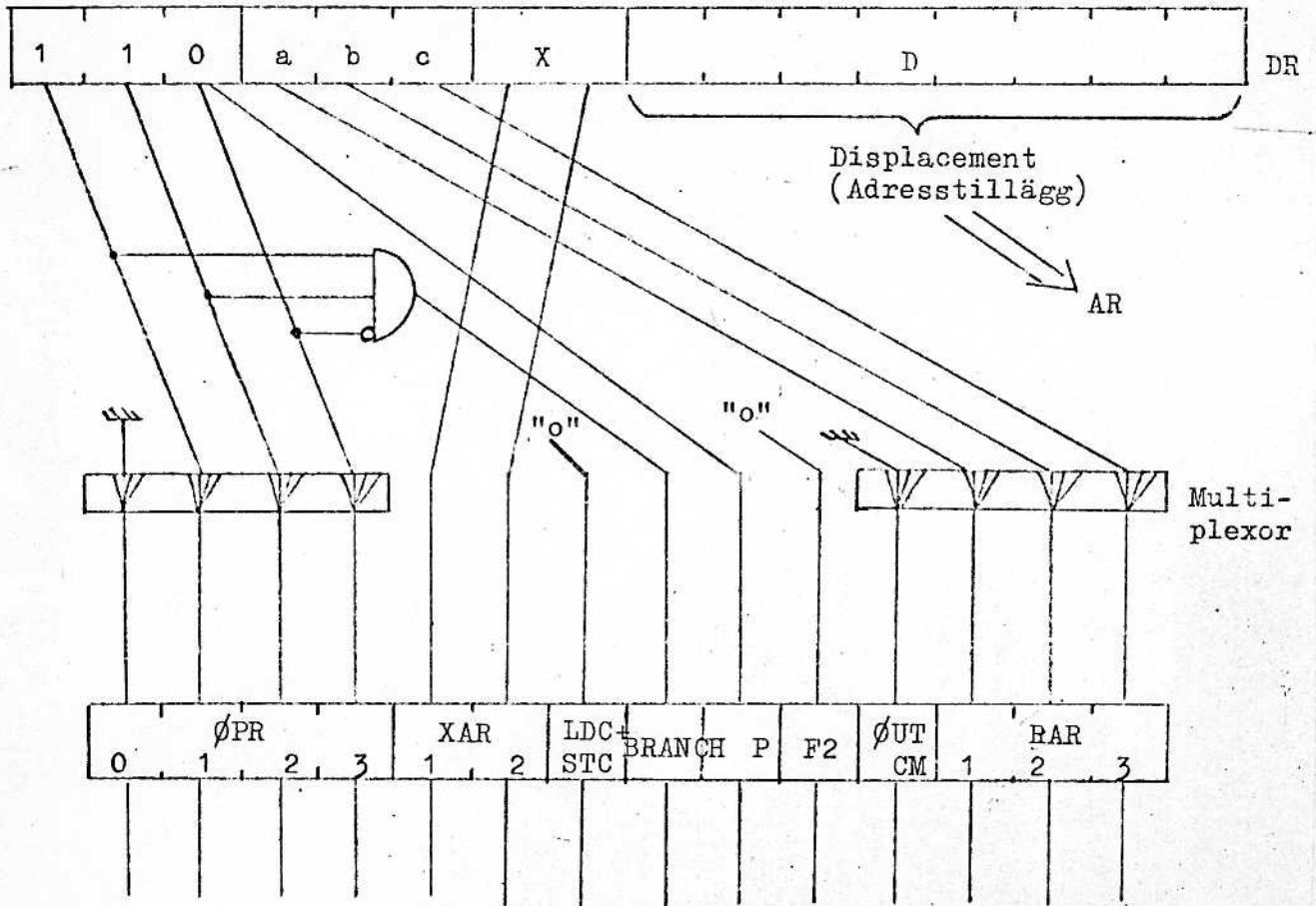
Namn DATOR D5/20 SERIE	Gäller för	Utgåva 1	Sida 3:69
---------------------------	------------	-------------	--------------



Multiplexerns adress: $S_0 = 0$
 $S_1 = 0$

Bild 3.4.9 Lagring av orderord, grupp F1A (ST, LD, ADD, SUB)

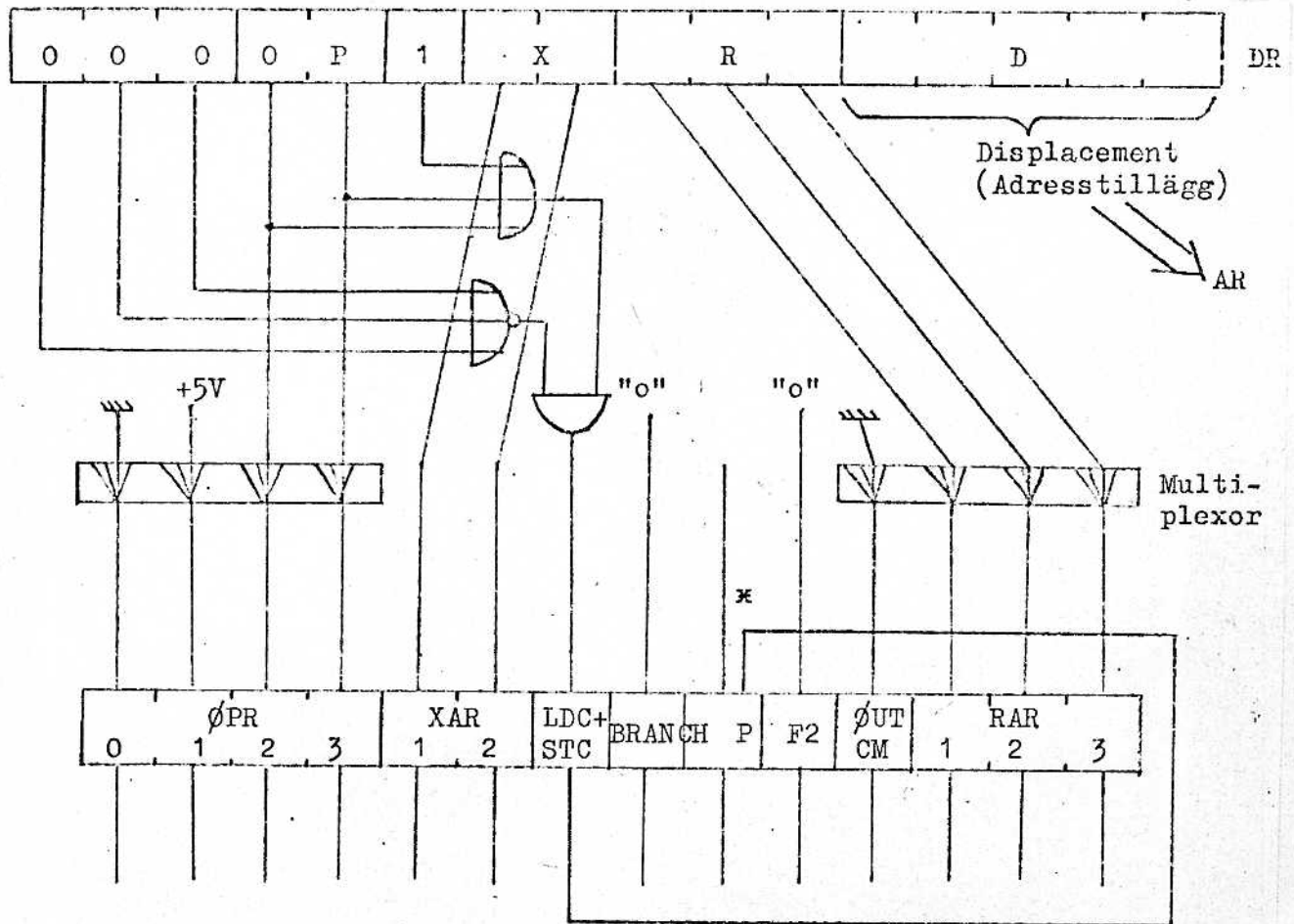
Namn DATOR D5/20 SERIE	Gäller f o m	Utgåva 1	Sida 3:70
---------------------------	--------------	-------------	--------------



Multiplexerns adress: $S_0 = 1$
 $S_1 = 0$

Bild 3.4.10 Lagring av orderordet grupp F1B (BRANCH) HOPP

Namn DATOR D5/20 SERIE	Gäller f o m	Utgåva 1	Sida 3:71
---------------------------	--------------	-------------	--------------



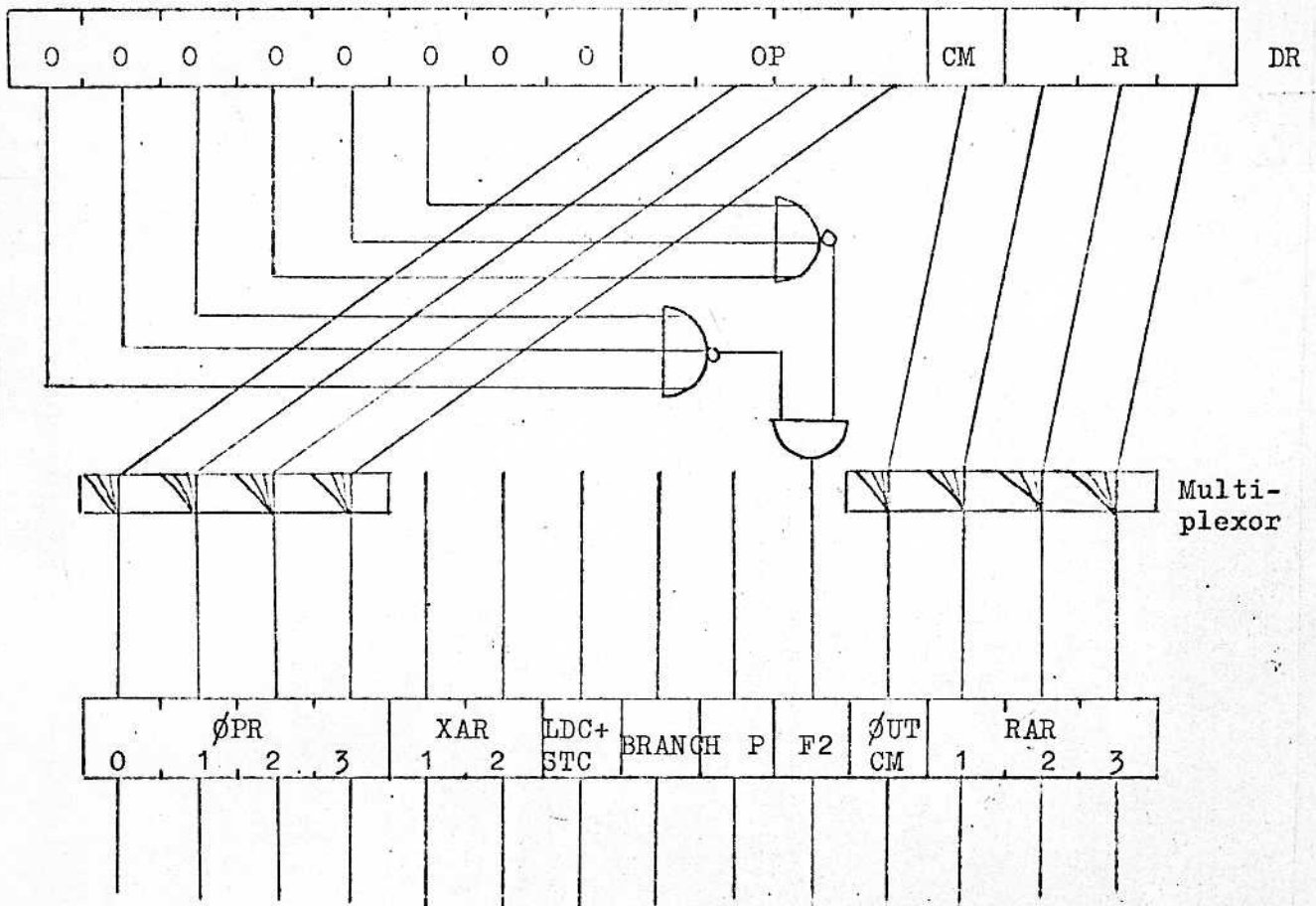
* P-vippan tvångställes av signalen LDC+STC.

Multiplexorns adress: $S_0 = 0$
 $S_1 = 1$

Bild 3.4.11 Lagring av orderord grupp F1C (STC, LDC)

No 30101/02 F 71 25101 0/5

Namn DATOR D5/20 SERIE	Gäller f o m	Utgåva 1	Sida 3:72
---------------------------	--------------	-------------	--------------



Multiplexerns adress: $S_0 = 1$
 $S_1 = 1$

Bild 3.4.12 Lagring av orderord grupp F2

14 800001-620 1 75 20.000 5 226

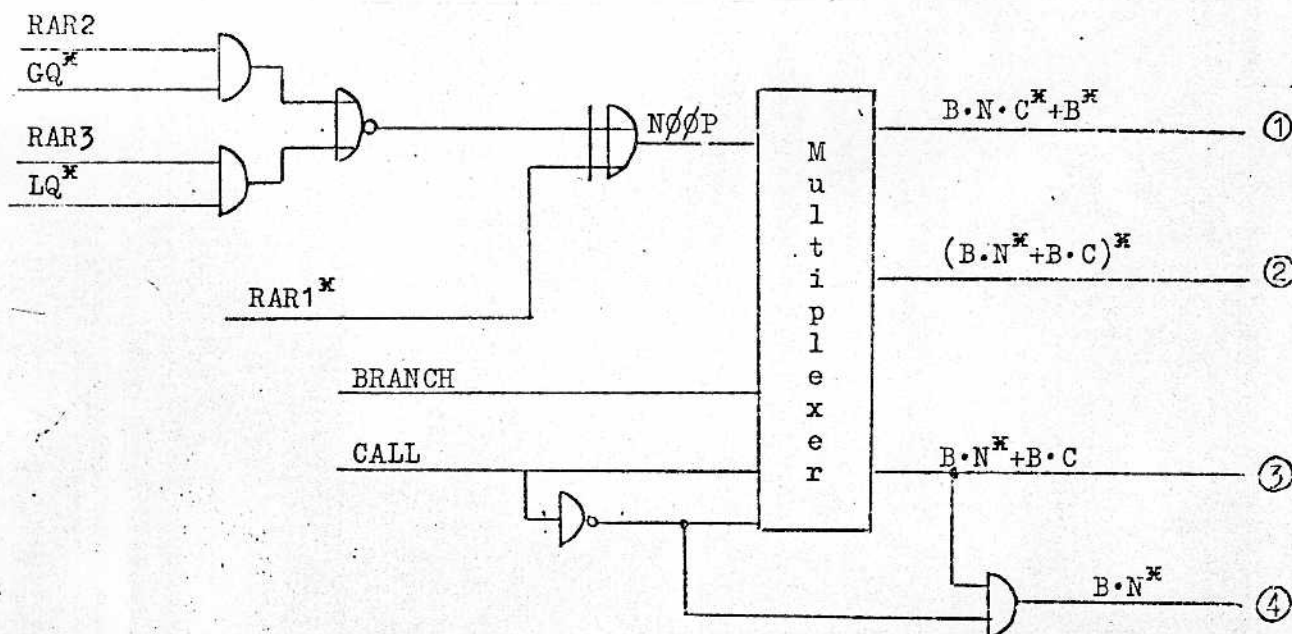
Namn	Gäller f o m	Utgåva	Sida
DATOR D5/20 SERIE		1	3:73

Operationsregistrets utgångar ØPRO - ØPR3 avkodas och då erhålls bl.a. signalerna ØUT, INØP, ENT, STC, LDC, vilka står utställda under hela resp. operation. Signalerna användes för grindning av data m.m. Indexadressregistret XAR 1-2 avkodas för fallet XAR 1=0 och XAR 2=0, då styrenheten behöver signalen "X=0" för att välja, om indexaddition skall utföras eller ej (INL7, INL8).

BRANCH-vippan ställs då ett hopp (jump) eller CALL har beordrats. Utgående från "BRANCH"-vippan, RAR, samt de två statusvipporna GQ och LQ, är ett antal villkor konstruerade som styr operationsgenomloppet. RAR bestämmer vilken operation, som skall utföras (jump, villkorligt hopp eller CALL) och GQ, LQ bestämmer i fallet "villkorligt hopp" om hopp skall ske eller om "no operation" (NØØP) skall utföras. Det algebraiska villkoret för NØØP lyder:

$$\overline{NØØP} = \bar{a} \left[(\bar{b}+GQ) \cdot (\bar{c}+LQ) \right] + a \left[(\bar{b}+GQ) \cdot (\bar{c}+LQ) \right]$$

a, b, c = pos 3, 4, 5 i orderordet (insättes och avkännes i RAR).



B = BRANCH

N = NØØP

C = CALL

Bild 3.4.13. Logik för sortering av operationer i BRANCH-gruppen

Namn DATOR D5/20 SERIE	Gäller för	Utgåva 1	Sida 3:74
---------------------------	------------	-------------	--------------

Signalen vid ①, se bild 3.4.13, används till att grinda mikroordern IAR + 1 > SASR, IAR, som stegar fram IAR ett steg. Detta förekommer i alla operationer, där villkoret B* är uppfyllt. Vid CALL och JUMP eller då villkoret för villkorligt hopp (NØØP*) är uppfyllt, skall IAR ej stegas fram. I dessa fall överförs istället AR till IAR (se resp. operationsbeskr.).

Signalerna vid ② och ③ används för generering av pulserna 1 STCARRY · A2 och 0 > CARRY · A2.

Signalen vid ④ styr datavägval för IAR (DSIAR).

Klockpulsgenerator, se bild 3.4.36

Klockpulsgeneratoren, vars uppgift är att förse mikroorder med pulståg, består av bl.a. en grundpulsgenerator och en skiftpulsgenerator.

Grundpulsgeneratoren (IC107) är ett skiftregister, som klockas med en kristalloscillator (Y1). För att få den självstartande, d.v.s. endast en puls som skiftas runt i registret, avkodas utgångarna A1 t.o.m. D1. Så länge någon av dessa är ett-ställd, klockas en nolla in i registret. Se bild 3.4.14 och 3.4.15.

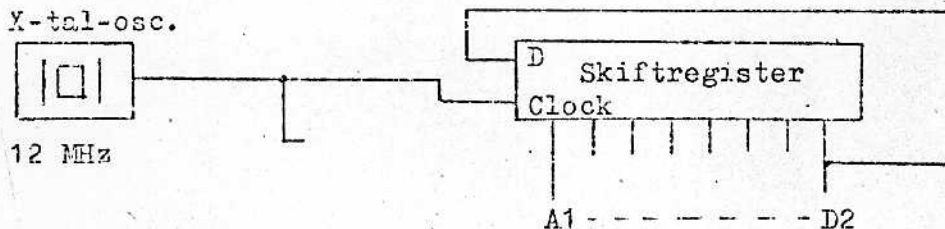


Bild 3.4.14 Grundpulsgneratorns princip.

Så länge någon klockpuls A1-D1 förekommer kan ej dataingången ett-ställas, varför generatoren förblir självstartande och störsäker. Under pågående skiftpulståg önskas ej någon ny pulssekvens A1-D2, varför även PTFINNS spärrar dataingången. Se bild 3.4.15.

X1*, X2 och X3* visar kristalloscillatorns frekvens i olika faser. Signalen X3* passerar två inverteringar och blir därför något fördröjd jämfört med signalen X1*.

Namn	Gäller för	Utgåva	Sida
DATOR D5/20 SERIE		1	3:75

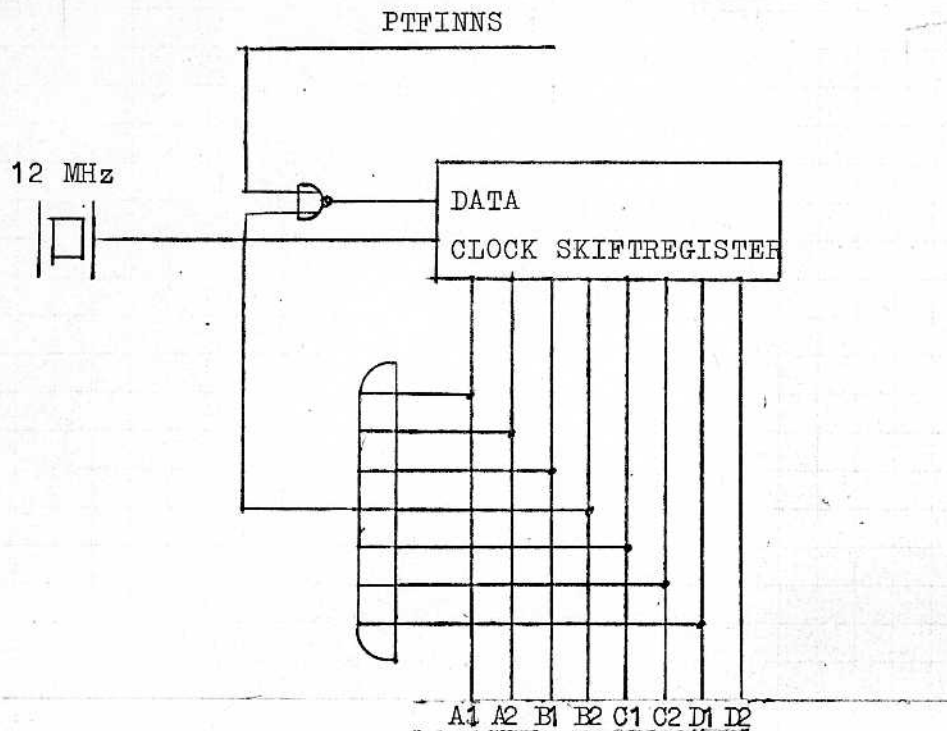


Bild 3.4.15 Grundpulsgeneratorn. Översikt

Skiftpulsgeneratorn, se bild 3.4.16 och 3.4.17, skall lämna 16 eller 8 pulser. För att klara detta utnyttjas ett 2 x 8 bitars skiftregister. Innan skiftpulståg avsänds, nollställs registret och när skiftningen påbörjas ett-ställs registret successivt. Efter 16 pulser når den första ettan sista positionen. Denna används för att avbryta pulståget.

8 pulser erhålls, när ettor skiftas in i registrets 8:e bit med signalen 8STEG.

Ett skiftpulståg startas med signalen STARTPTG, se bild 3.4.17. Denna är ett ellervillkor på mikroorder, som kräver ett skiftpulståg. Signalens längd bestäms av två på varandra följande A1-klockpulser.

Pulståget börjar med PTBÖ* (PULSTÅGBÖRJAN*) som klockas med B1 och fasas in med X3*.

Under pågående pulståg förhindras ny start av signalen STARTBAR (något fördröjd). Pulståget avslutas då skiftregistrets utgång (SKIFTSLOT) ett-ställs.

Signalen NOLLSTÄLL kommer alltid före start av nytt pulståg, varvid generatorn görs startbar och registret (räknaren) nollställs.

Namn DATOR D5/20 SERIE	Gäller för m	Utgåva 1	Sida 3:76
---------------------------	--------------	-------------	--------------

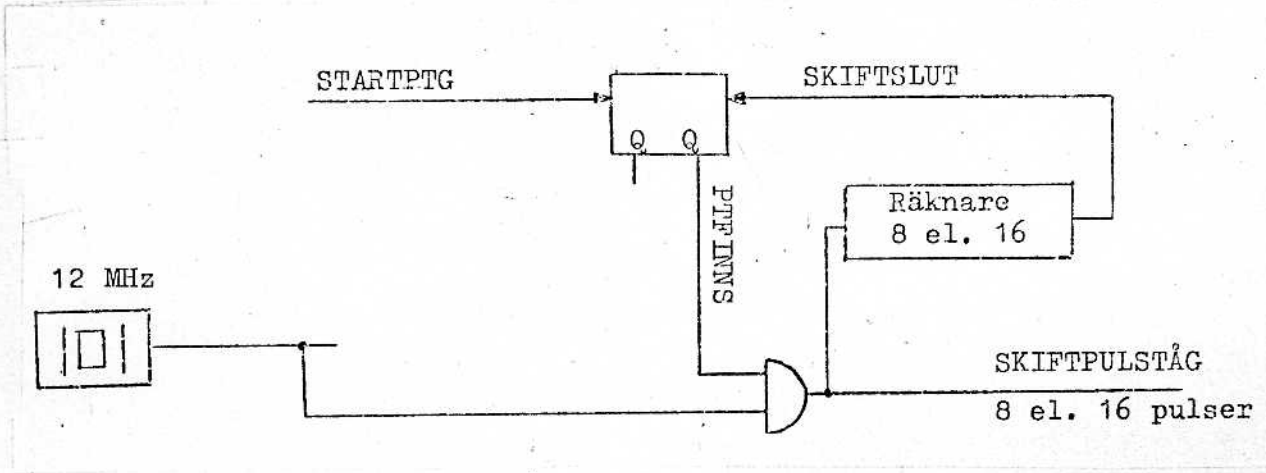


Bild 3.4.16. Skiftpulsgeneratorns princip.

0270

11-510011-250 1 711 1 250 11-510011-250

Namn DATOR D5/20 SERIE	Gäller för m	Utgåva 1	Sida 3:77
---------------------------	--------------	-------------	--------------

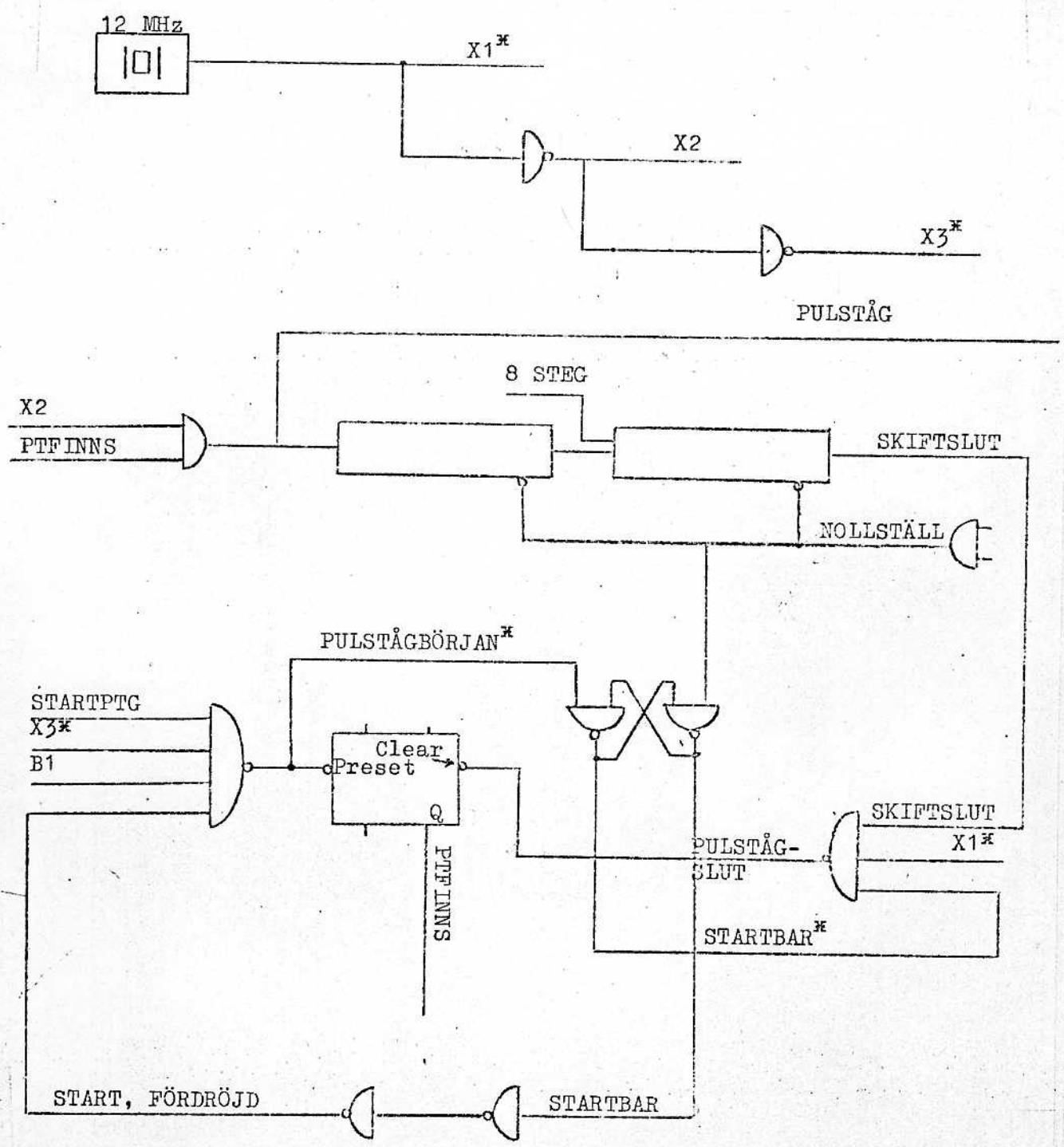


Bild 3.4.17. Logikschema över skiftpulsgeneratoren

Namn	Gäller f o m	Utgåva	Sida
DATOR D5/20 SERIE		1	3:78

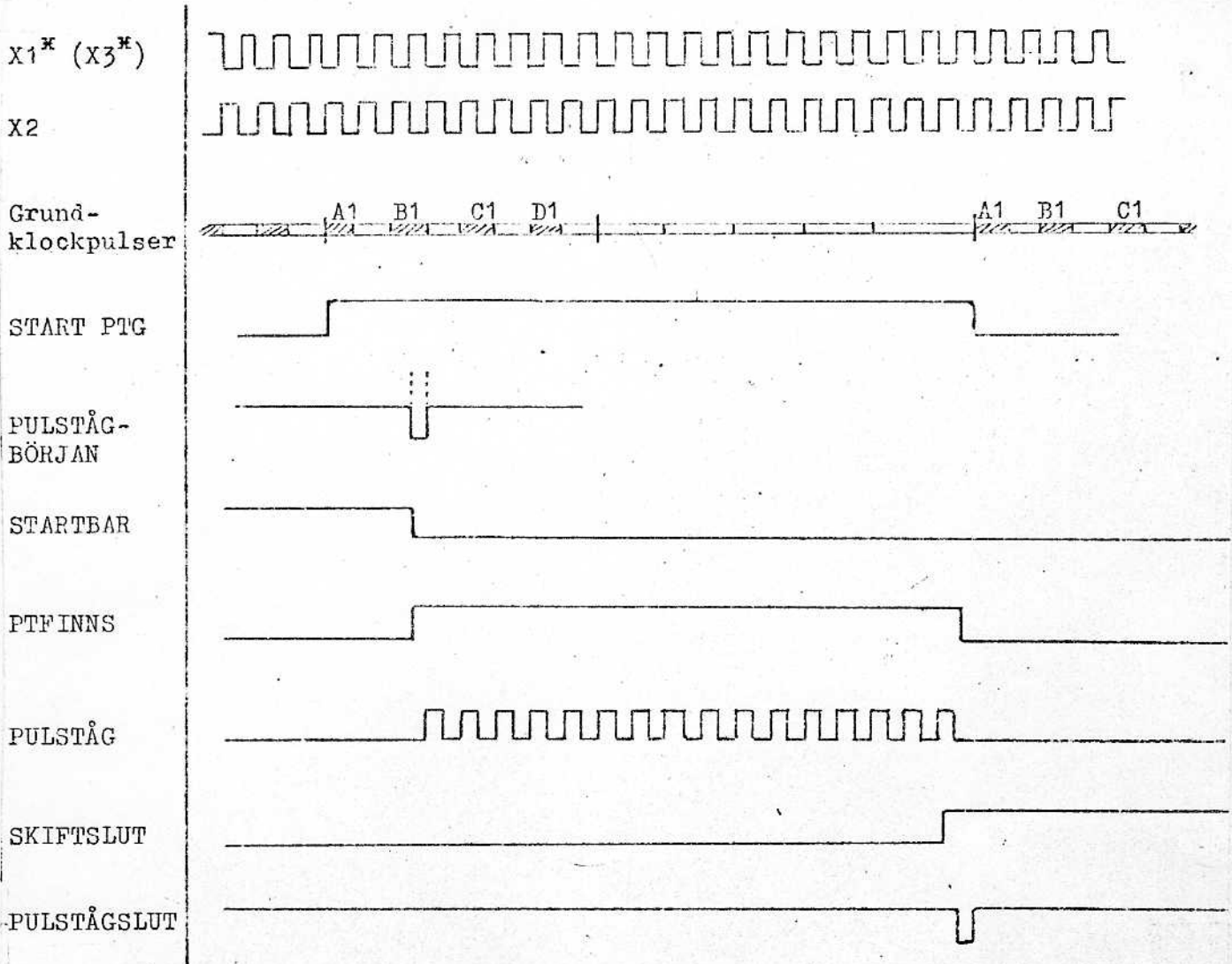


Bild 3.4.18. Pulsdiagram för skiftpulsgeneratorn

DATASAB 70 2 100 1/74

Namn DATOR D5/20 SERIE	Gäller f o m	Utgåva 1	Sida 3:79
---------------------------	--------------	-------------	--------------

Mikroprogram:

Mikroprogrammen redovisar olika operationssekvenser i styrminnet. Programmen är ritade som en tidsskala, där ett moment motsvarar 8 perioder i datorns kristalloscillator.

Moment: LD

CM-adress: 000001

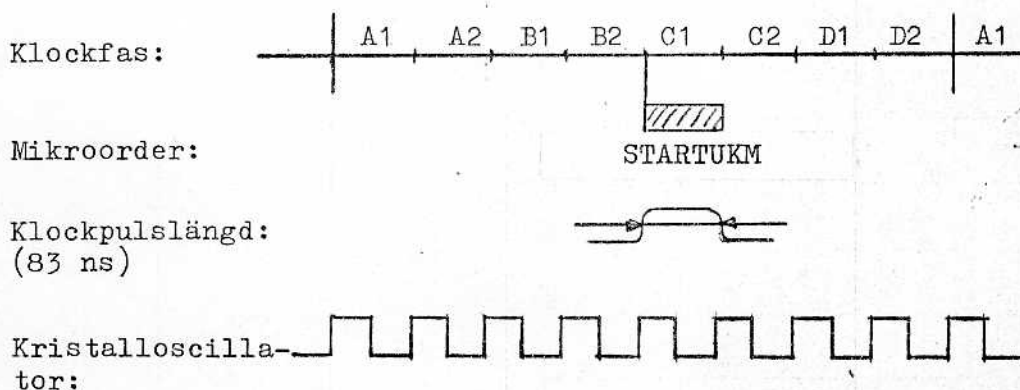


Bild 3.4.19 Exempel på mikroprogram

Ovanför tidslinjen finns momentets namn och dess adress i styrminnet. Under linjen är de olika mikroorderna ut-satta i den klockfas, som de är aktiva.

Mikroorderna är indelade i grupper om tre eller sju st som avkodas ur två eller tre positioner i CMR. Se förteckning nedan.

CMR6 och 7: Mikroorder för STOPP-villkor

CMR8, 9 och 10: Mikroorder för start av skiftpuls-genera-torn (undantag: IØGRIND).
Används även för grindning av data och klockpulser till respektive register.

Namn	Gäller för	Utgåva	Sida
DATOR D5/20 SERIE		1	3:80

CMR11, 12 och 13: Mikroorder för styrning av DR (undantag: $0 > SAR$).
DR och dess datamultiplexer med tre ingångar styrs direkt från CMR, dock är mikroorderna avkodade för att prestera tillhörande klockpulser.

CMR14 och 15: Mikroorder för styrning av SAR

CMR16-23: Mikroorder i grupper om tre med speciell karaktär.

Mikroorderlogik: Se bild 3.4.20.

Ur styrminnet erhålls koder, som motsvarar de mikroorder, vilka ska finnas i respektive moment. Adresseringen till styrminnet är anpassad så, att dess innehåll finns på utgångarna i god tid före följande A1-klockpuls. Därefter lagras innehållet i styrminnesregistret (CMR8-23) på 16 bitars bredd. Registret klockas ovillkorligt i varje A1-puls och därmed erhålls önskat utseende på de olika momenten.

Vid beordring av TOMT MOMENT i position 6 och 7 inhiberas styrminnet och nollor insättes när registret klockas.

Samma förhållande gäller för de övriga stoppen med följande undantag:

I OUT- och IN-operationerna måste signalen IØGRIND ligga ute även när styrenheten står i läge STOPP2 och inväntar kvittenssignal. CMR får ej nollställas i de positioner, som innehåller mikroordern IØGRIND, varför klockningen till dessa (CMR8, CMR9 och CMR10) inhiberas, då något stoppvillkor är utställt.

Koderna i styrminnet avkodas i ett antal avkodare, som följer CMR-utgångarna och här erhålls mikroorderna från klockfas A1 till nästa A1.

I de flesta fall måste mikroordern klockas, vilket utförs med enstaka grindar. I dessa grindnät sammanförs även vissa villkor, som är informationsberoende. De aktiva klockpulser, som primärt har sitt upphov i en mikroorder innesluter i en del fall även villkor, som är beroende av koden i orderord eller data.

Namn DATOR D5/20 SERIE	Gäller för	Utgåva 1	Sida 3:81
---------------------------	------------	-------------	--------------

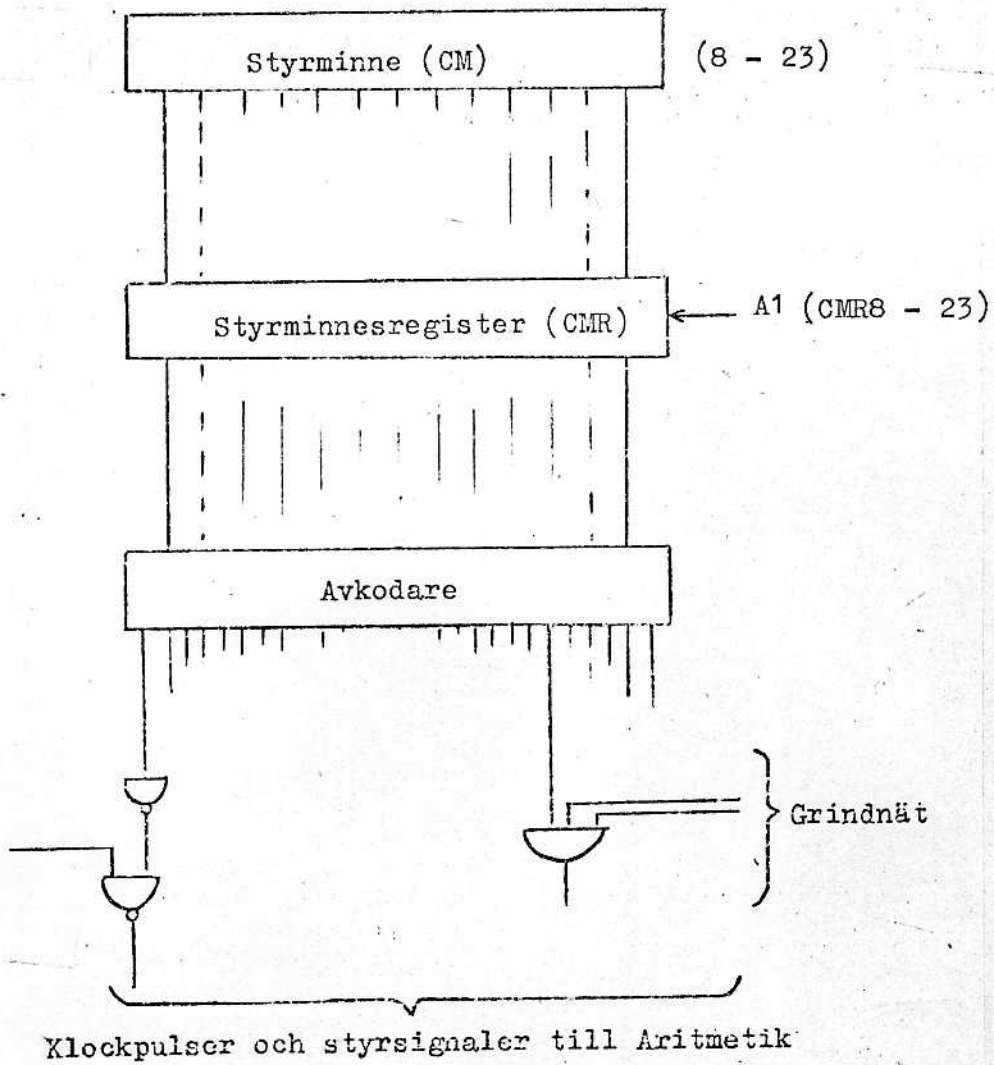


Bild 3.4.20. Mikroorderlogik

ZDS-D5-72:609

Namn DATOR D5/20 SERIE	Gäller för	Utgåva 1	Sida 382
---------------------------	------------	-------------	-------------

Förteckning över mikroorder:

CMR	ANVÄNDNING	
0 1 2 3 4 5	Nästa adress	
6	00	10 TØMTØM
7	01 STØPP1	11 STØPP2
8	000 -	100 DR+AR > SASR, AR
9	001 IØGRIND	101 IAR-SASR > DR
	010 IAR+1 > SASR, IAR	110 AR · DR > DR
	011 AR+IAR > SASR, AR	111 DR ⁺ AR > DR
10		
11	000 -	100 INSÄTTNDR
	001 SKIFTADRHÖ1	101 IØCH > DR
12	010 SKIFTADRHÖ8	110 SDR > DR
	011 0 > SAR	111 SKIFTA DR VÄ
13.		
14	00 EJCSAR	10 XAR > SAR
	01 RAR > SAR	11 SASR > SAR
15		
16	00 -	10 0 > CARRY
	01 DR > AR	11 DR > SDR
17		
18	00 -	10 ØPR > CMR
	01 START UKM	11 1 > CARRY
19		
20	00 -	10 SKIFTASASRHÖ1
	01 SÄTTGQ, LQ	11 LAGRAMÄRKN
21		
22	00 -	10 DR > ASR
	01 EIØ	11 DRVÄSSTEG
23		

Namn DATOR D5/20 SERIE	Gäller för	Utgåva 1	Sida 3:83
---------------------------	------------	-------------	--------------

Styrminne:

Kapsel (RØS):	1 (IC111) (- 913)	3 (IC113) (- 915)	5 (IC115) (- 917)
Position (CMR):	0 7	8 15	16 23

Operation	CM-adress			
ST1	000000	001110 10	000 000 01	00 01 00 00
LD1	000001	001111 10	000 000 11	00 01 00 00
ADD1	000010	010000 10	000 000 11	00 01 00 00
SUB1	000011	010000 10	000 000 11	00 01 00 00
STC1	000100	111110 00	000 000 01	00 01 00 00
LDC1	000101	100001 00	000 000 11	00 01 10 00
BRANCH1	000110	001010 00	010 000 00	00 11 00 00
INL1	000111	001010 00	010 000 00	00 11 00 00
INL5	001000	001011 00	011 000 10	10 01 00 00
INL4	001001	001000 00	000 110 00	01 10 11 00
INL3	001010	001001 00	000 000 11	10 01 00 00
INL6	001011	001100 00	011 110 00	00 10 00 00
INL7	001100	001101 00	100 000 10	10 00 00 00
INL8	001101	001111 00	100 000 00	00 10 00 00
ST3	001110	000111 00	000 110 11	11 01 00 00
LD3	001111	000111 00	000 110 01	11 01 01 00
ADD3	010000	010001 00	000 110 01	01 01 00 00
ADD4	010001	010010 00	000 110 00	10 00 00 00
ADD5	010010	010101 00	111 000 00	00 00 00 00
AND1	010011	100110 10	000 011 00	00 01 00 00
ENT1	010100	100100 00	101 000 00	00 11 00 00
ADD7, AND7, SRC4	010101	000111 00	000 010 00	11 01 01 00
SLC1	010110	101111 00	000 000 01	00 01 00 00
SRC1	010111	101101 00	000 000 01	00 01 00 00
SLL1	011000	101011 00	000 000 01	00 01 00 00
SRL1	011001	101001 00	000 000 01	00 01 00 00
EI01	011010	110001 01	000 000 00	00 00 00 00
Ej Spec. Op.	011011	111011 00	000 000 00	00 00 00 00
OUT1	011100	110010 01	000 000 00	00 00 00 00
IOA1	011101	110101 01	000 000 00	00 00 00 00
IN1	011110	110111 01	000 000 00	00 00 00 00
IOS1	011111	111010 01	000 000 00	00 00 00 00

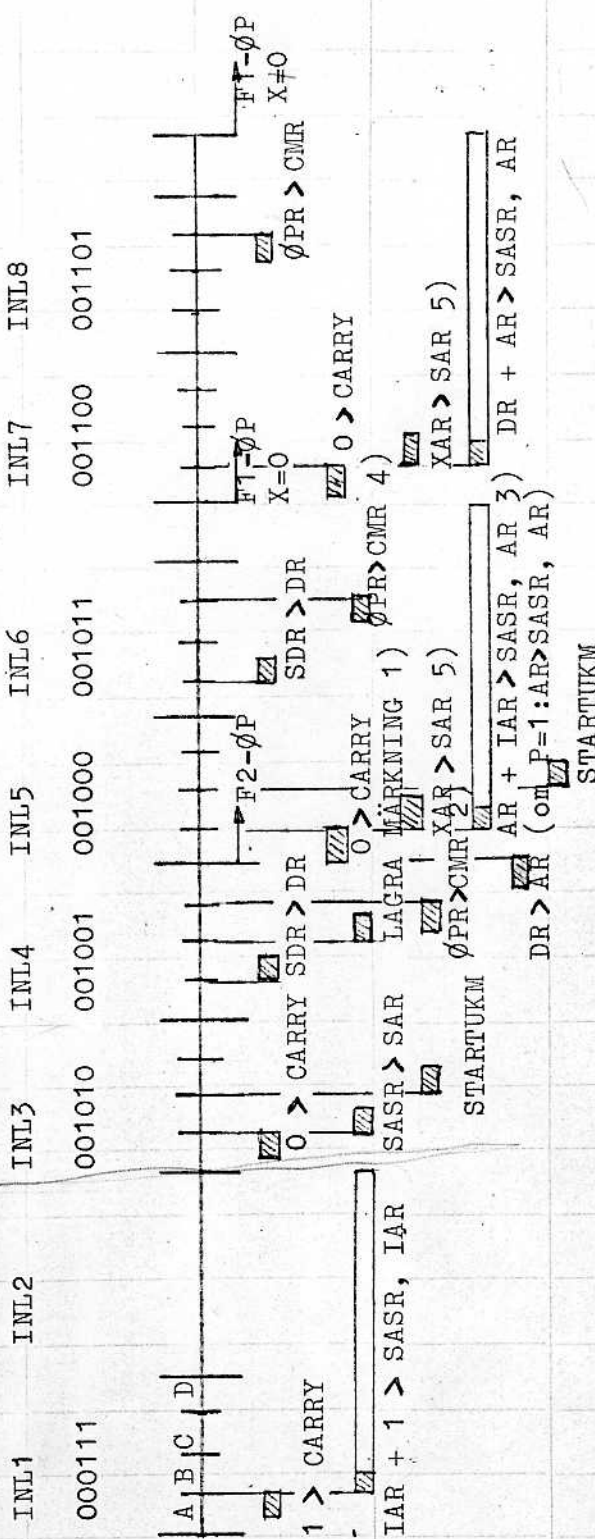
Namn DATOR D5/20 SERIE	Gäller för	Utgåva 1	Sida 3:84
---------------------------	------------	-------------	--------------

Kapsel (R/S):	2 (IC112)	4 (IC114)	6 (IC116)
Position (CMR):	0	7	8
Operation	CM-adress	15	16
	ADR. NÄSTA CELL		23
STC4	100000	000111 00	000 111 11
LDC2	100001	100010 00	000 110 00
LDC3	100010	100011 00	000 010 00
LDC4	100011	000111 00	000 010 01
ENT3	100100	100101 00	111 000 00
ENT5	100101	001010 10	000 000 01
AND3	100110	100111 00	000 110 01
AND4	100111	101000 00	000 110 00
AND5	101000	010101 00	110 000 00
SRL2	101001	101010 00	000 110 00
SRL3	101010	000111 00	000 001 00
SLL2	101011	101100 00	000 110 00
SLL3	101100	000111 00	000 111 00
SRC2	101101	101110 00	000 110 00
SRC3	101110	010101 00	000 010 00
SLC2	101111	110000 00	000 110 00
SLC3	110000	111101 00	000 111 00
EIO2	110001	000111 00	000 000 00
OUT2	110010	110011 00	000 000 01
OUT3	110011	110100 00	000 110 00
OUT4	110100	000111 11	001 000 00
IOA2	110101	110110 00	000 000 01
IOA3	110110	000111 00	000 110 00
IN2	110111	111001 11	001 000 00
AF1	111000	111011 00	000 000 00
IN3	111001	000111 00	001 101 01
IOS2	111010	000111 00	000 101 01
AF2	111011	111100 00	000 100 00
AF3	111100	001010 00	101 000 00
SLC4	111101	000111 00	000 111 00
STC2	111110	111111 00	000 110 00
STC3	111111	100000 00	000 111 00

K. S. 500111-002.1 (S. 20.10.72)

Namn DATOR D5/20 SERIE	Gäller f o m	Utgåva 1	Sida 3:85
---------------------------	--------------	-------------	--------------

INLEDNING



- 1) OP > øPR, R > RAR, X > XAR
(LAGRA MÄRKNING är unik och styr øCP samt ÅF-LADDA-funktionen)
- 2) Om F2
- 3) I stället för IAR adderas SASR
- 4) Om X = 0
- 5) XAR > SAR genererar INL6 och INL8

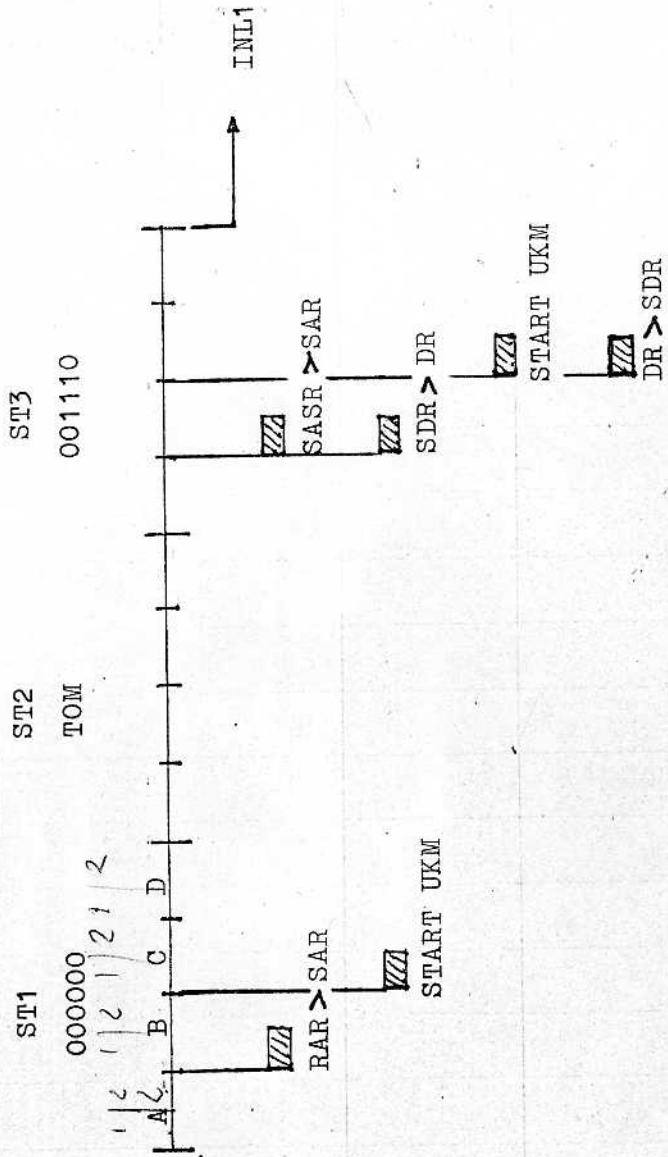
LAGRA MÄRKNING: ENDAST I INL, SORTERAR
LÄMPLIG TRIGG: ÖPPINNEHÅLLET
OPR > CMR: BESTÄMMER FORMAT I INSTRUKTIONSORDET

ST RS 12

0.20

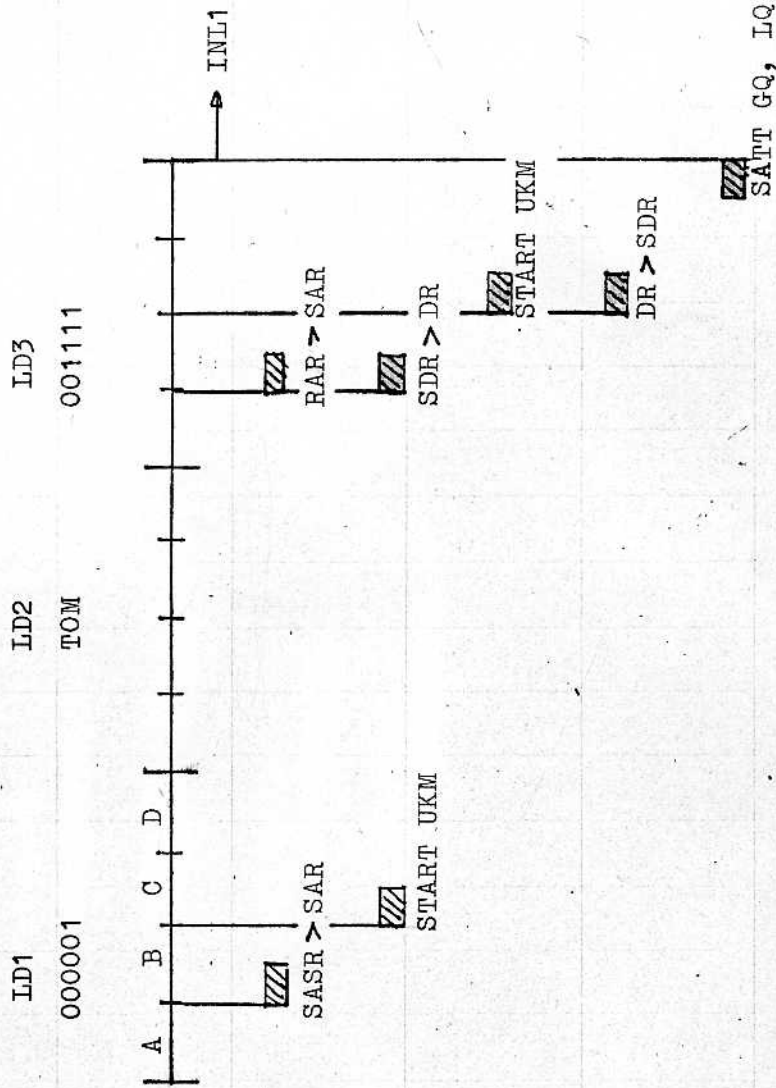
<p>Namn DATOR D5/20 SERIE</p>	<p>Gäller f o m</p>	<p>Utgåva 1</p>	<p>Sida 3:86</p>
-----------------------------------	---------------------	---------------------	----------------------

ST



Namn DATOR D5/20 SERIE	Gäller f o m	Utgåva 1	Sida 3:87
---------------------------	--------------	-------------	--------------

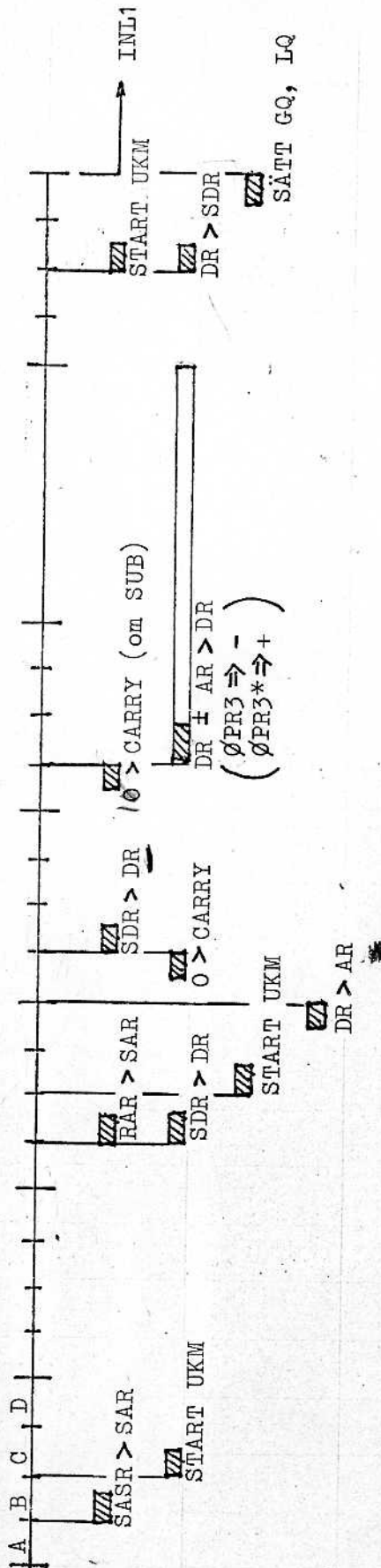
LOAD



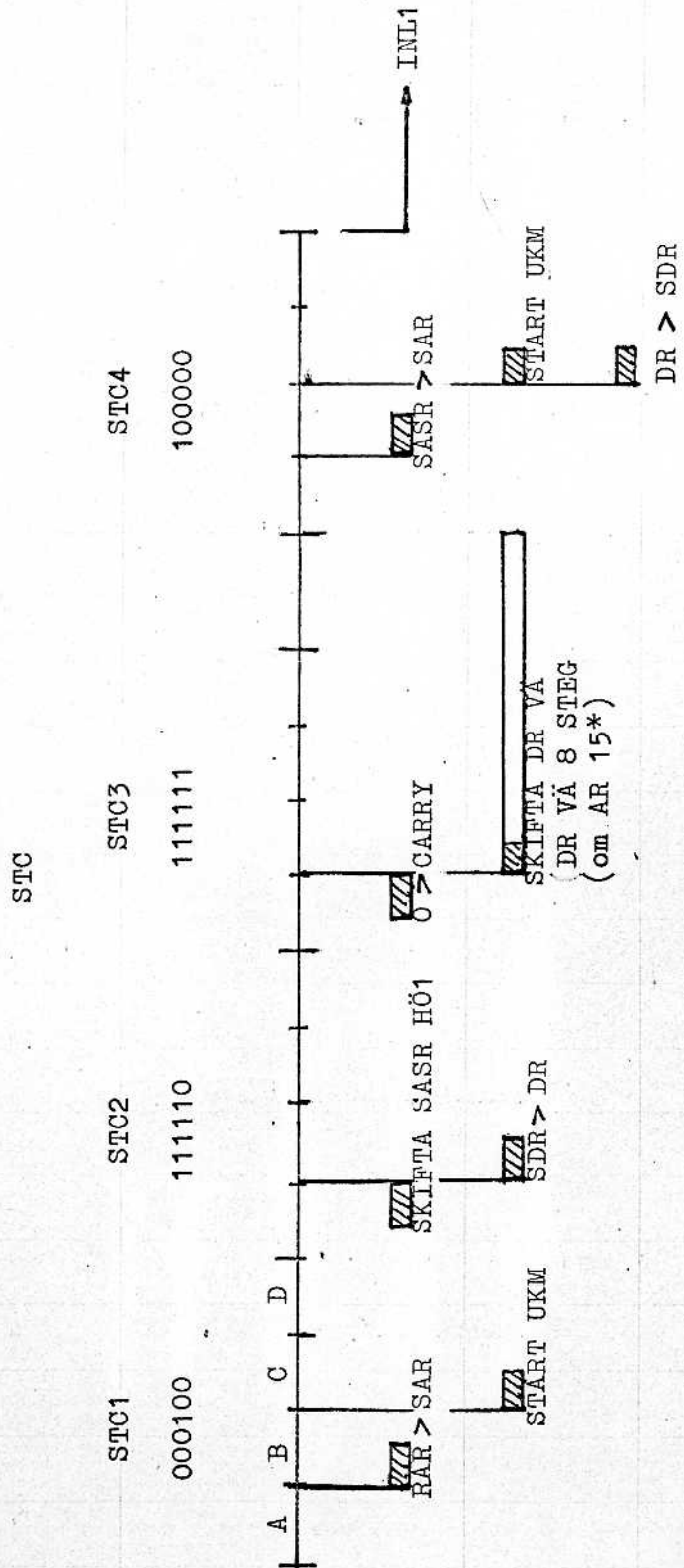
<p>Namn DATOR D5/20 SERIE</p>	<p>Gäller för</p>	<p>Utgåva 1</p>	<p>Sida 3:88</p>
-----------------------------------	-------------------	---------------------	----------------------

ADD, SUB

ADD1; SUB1	ADD2	ADD3	ADD4	ADD5	ADD7
000010 000011	TOM	010000	010001	010010	010101



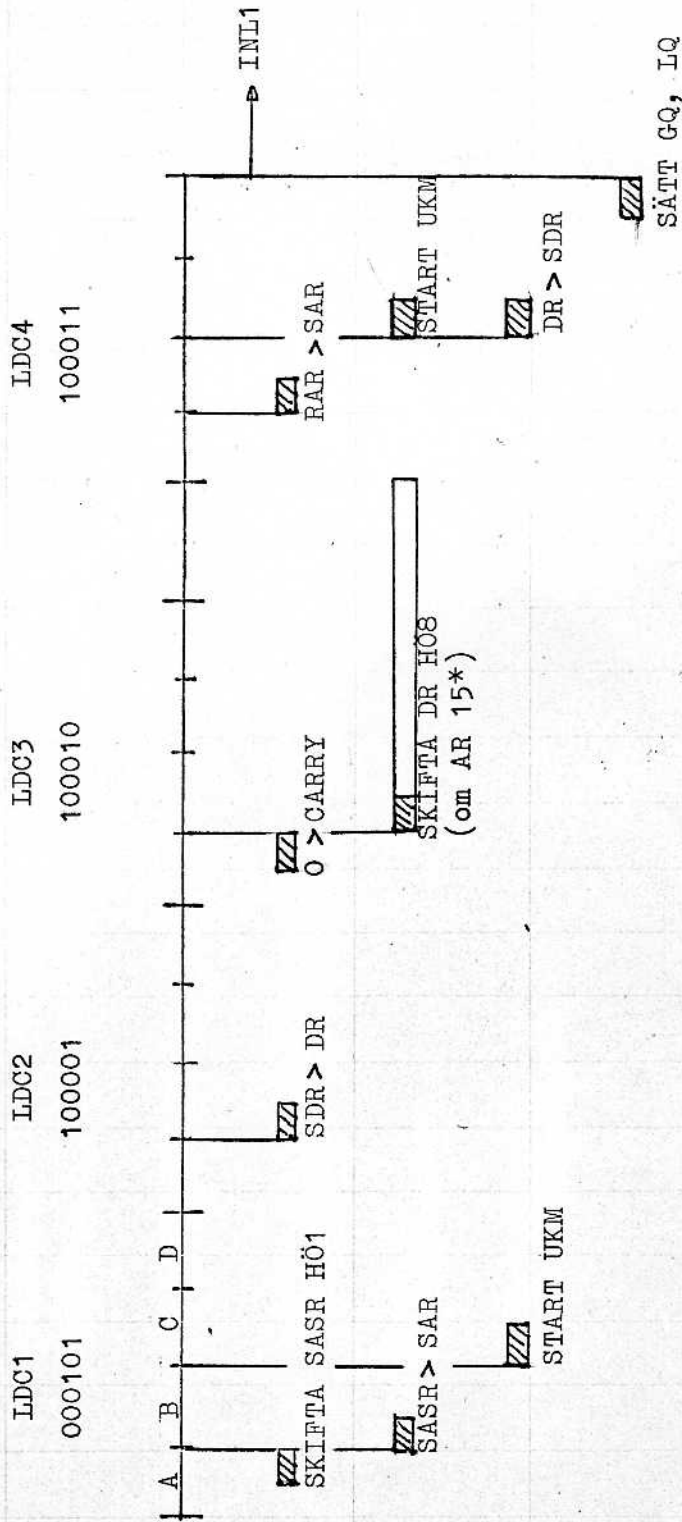
Namn DATOR D5/20 SERIE	Gäller för	Utgåva 1	Sida 3:89
---------------------------	------------	-------------	--------------



P4-50070/1003 10 2010 3 1008

Namn DATOR D5/20 SERIE	Gäller för m	Utgåva 1	Sida 3:90
---------------------------	--------------	-------------	--------------

LDC



Namn DATOR D5/20 SERIE	Gäller f o m	Utgåva 1	Sida 3:91
---------------------------	--------------	-------------	--------------

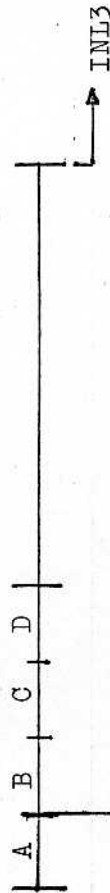
BRANCH

BRANCH2

BRANCH1

TOM

000110

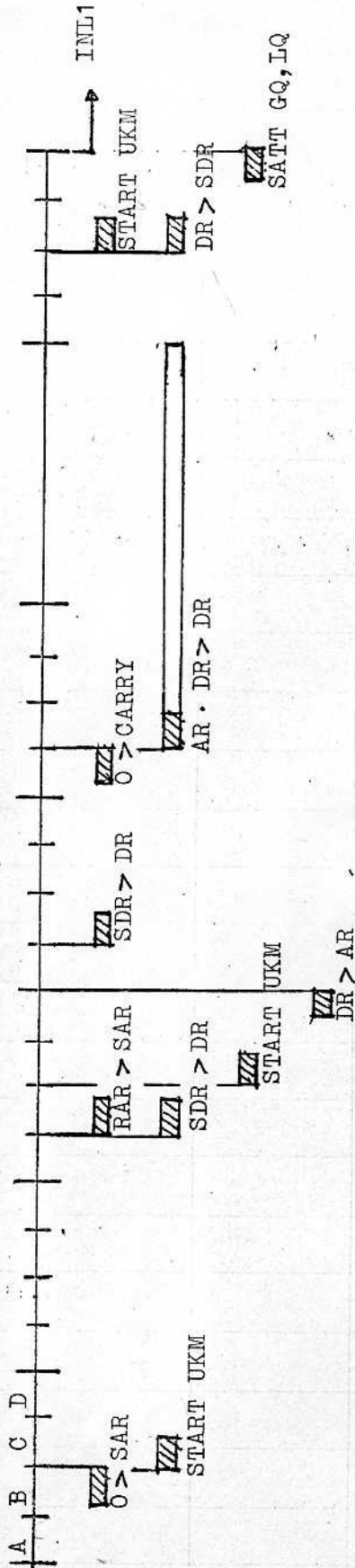


- 1) NØØP*: AR > SASR, IAR HOPP
 NOOP: IAR + 1 > SASR, IAR EJ HOPP
 CALL: AR > SASR; IAR > IAR

Namn	DATOR D5/20 SERIE	Gäller f o m	Utgåva	Sida
			1	3:92

AND

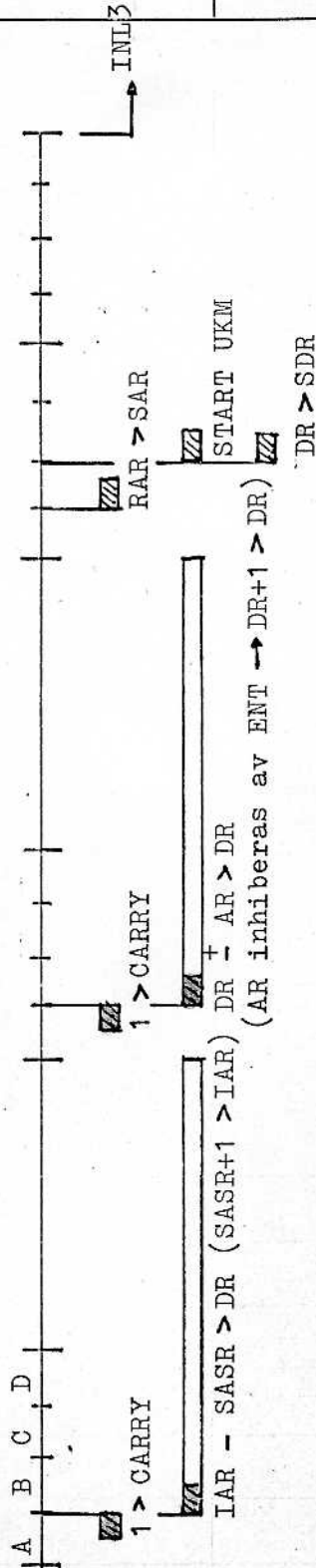
AND1 010011
AND2 TOM
AND3 100110
AND4 100111
AND5 101000
AND6
AND7 010101



Namn DATOR D5/20 SERIE	Gäller f o m	Utgåva 1	Sida 3:93
---------------------------	--------------	-------------	--------------

ENT

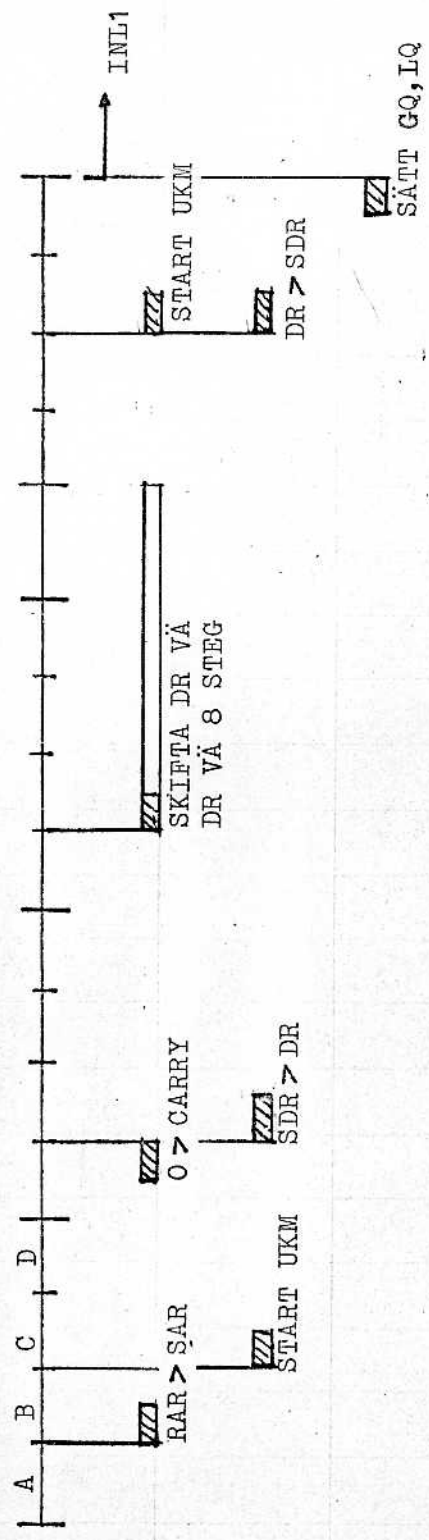
ENT1 010100 ENT2 ENT3 100100 ENT4 ENT5 100101 ENT6 TOM



<p>Namn DATOR D5/20 SERIE</p>	<p>Gäller f o m</p>	<p>Utgåva 1</p>	<p>Sida 3:94</p>
-----------------------------------	---------------------	---------------------	----------------------

SIC

- SIC1 010110
- SIC2 101111
- SIC3 110000
- SIC4 111101



<p>Namn DATOR D5/20 SERIE</p>	<p>Gäller för</p>	<p>Utgåva 1</p>	<p>Sida 3:95</p>
-----------------------------------	-------------------	---------------------	----------------------

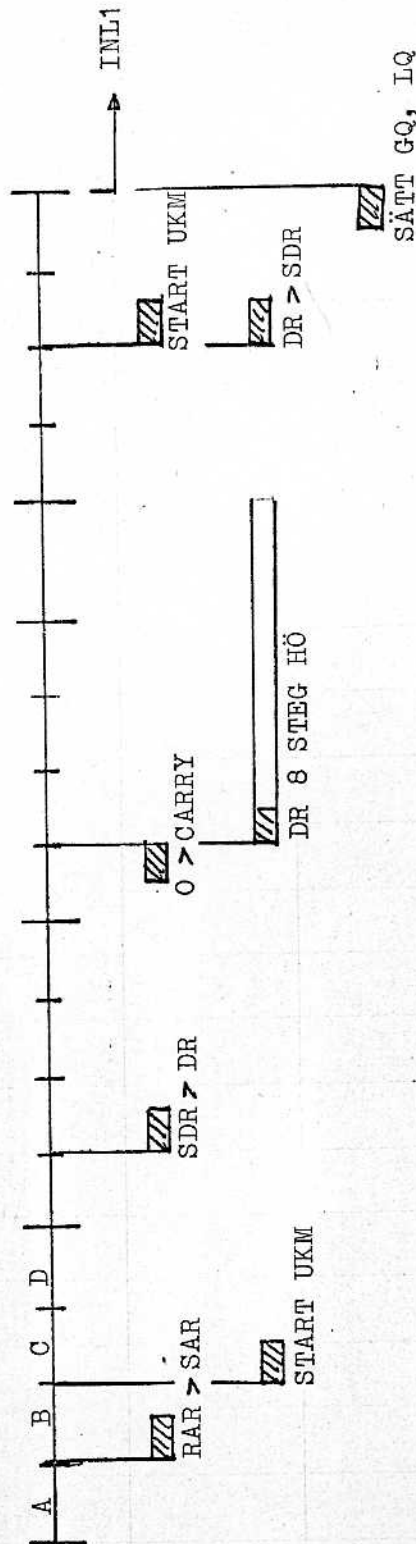
SRC

SRC4
010101

SRC3
101110

SRC2
101101

SRC1
010111

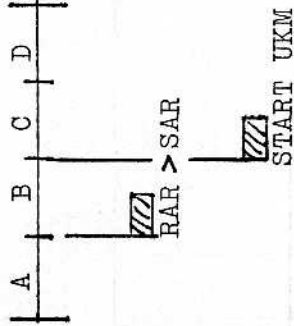


Namn DATOR D5/20 SERIE	Gäller f o m	Utgåva 1	Sida 3:96
---------------------------	--------------	-------------	--------------

SLL

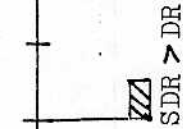
SLL1

011000



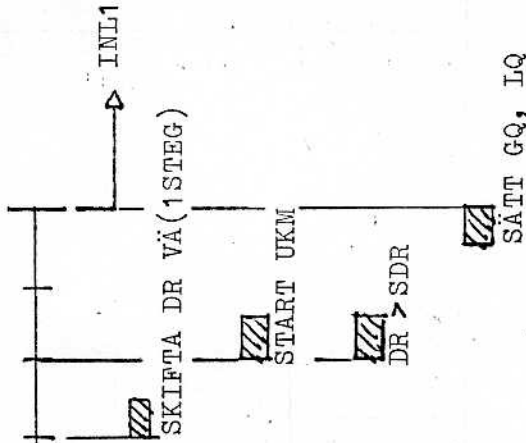
SLL2

101011



SLL3

101100

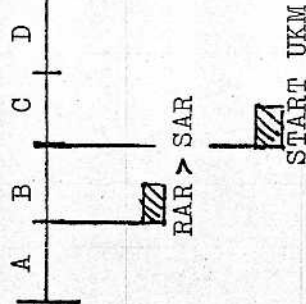


<p>Namn DATOR D5/20 SERIE</p>	<p>Gäller för</p>	<p>Utgåva 1</p>	<p>Sida 3:97</p>
-----------------------------------	-------------------	---------------------	----------------------

SRL

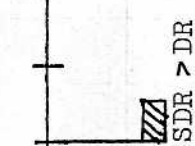
SRL1

011001



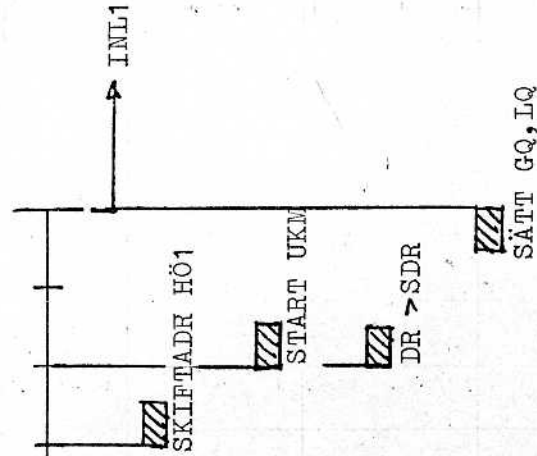
SRL2

101001



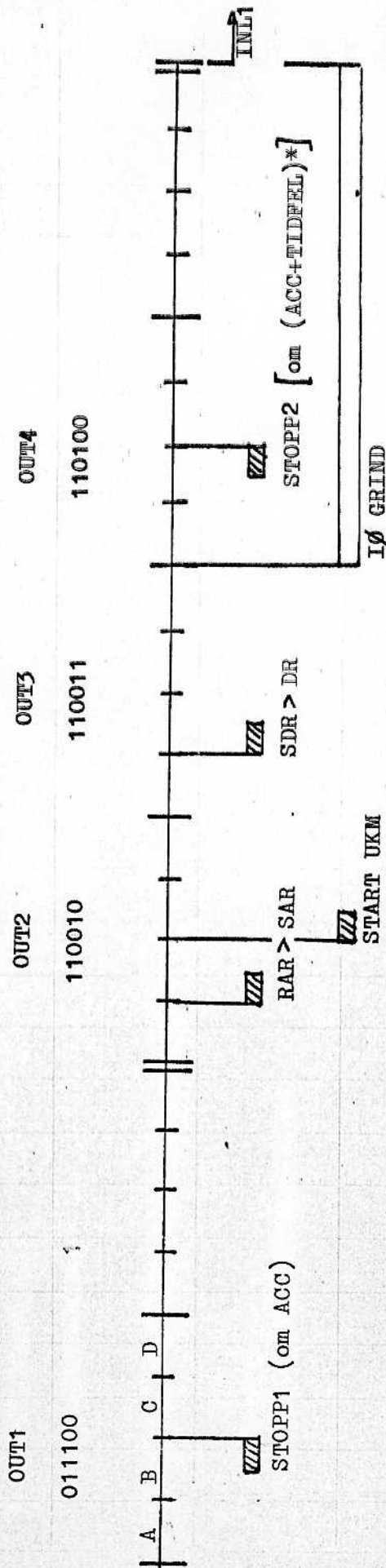
SRL3

101010



Namn DATOR D5/20 SERIE	Gäller för	Utgåva 1	Sida 3:98
---------------------------	------------	-------------	--------------

OUT



GQ sätts = 1 om TIDFEL
= 0 om TIDFEL*

<p>Namn DATOR D5/20 SERIE</p>	<p>Gäller f o m</p>	<p>Utgåva 1</p>	<p>Sida 3:99</p>
-----------------------------------	---------------------	---------------------	----------------------

IOA

IOA1

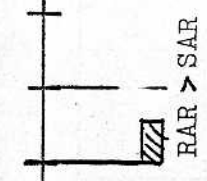
011101



STOPP1 (om ACC)

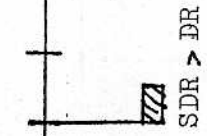
IOA2

110101

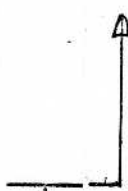


IOA3

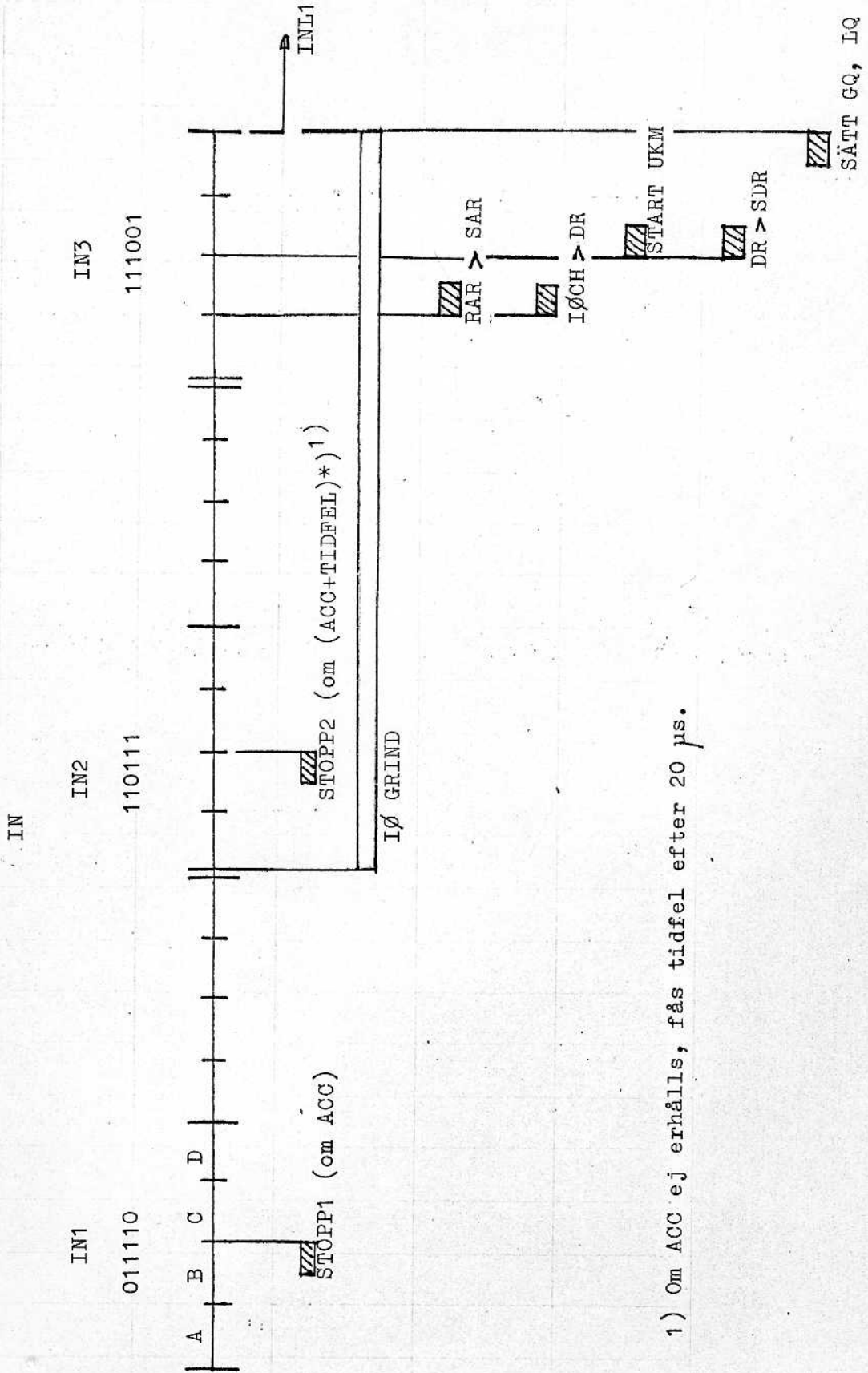
110110



INL1



Namn DATOR D5/20 SERIE	Gäller fo m	Utgåva 1	Sida 3:100
---------------------------	-------------	-------------	---------------



1) Om ACC ej erhålls, fås tidfel efter 20 µs.

Namn DATOR D5/20 SERIE	Gäller f o m	Utgåva 1	Sida 3:101
---------------------------	--------------	-------------	---------------

IOS

IOS1

011111

A B C D

STOPP1 (om ACC)

IOS2

111010

INL1

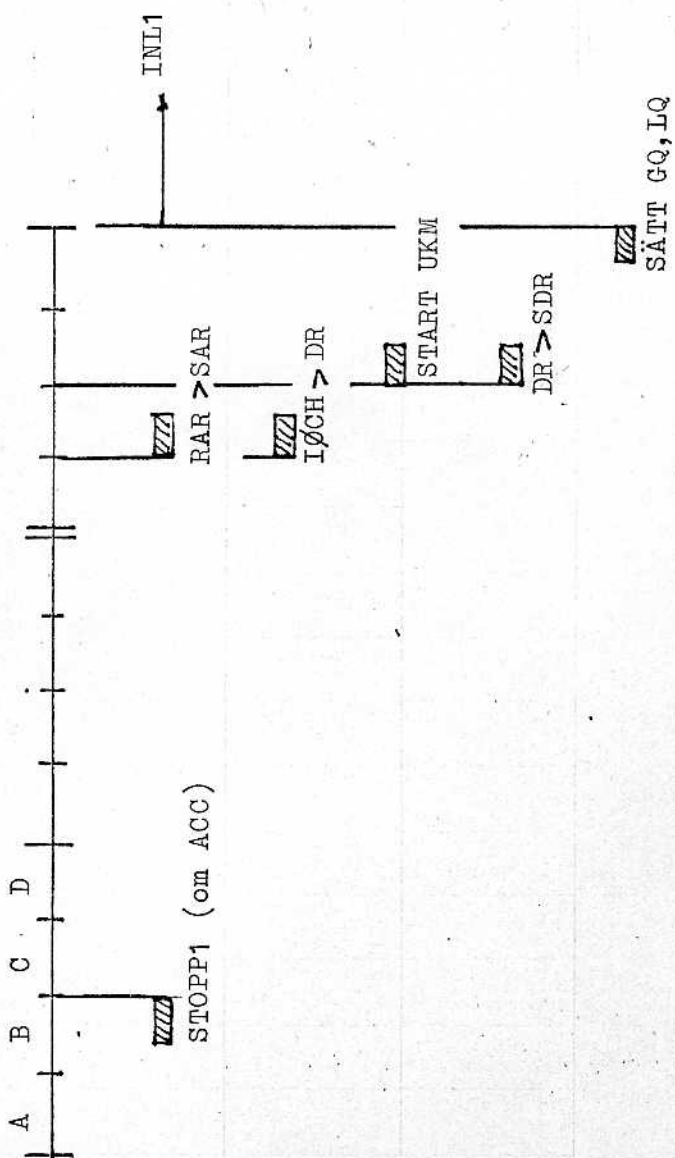
RAR > SAR

IØCH > DR

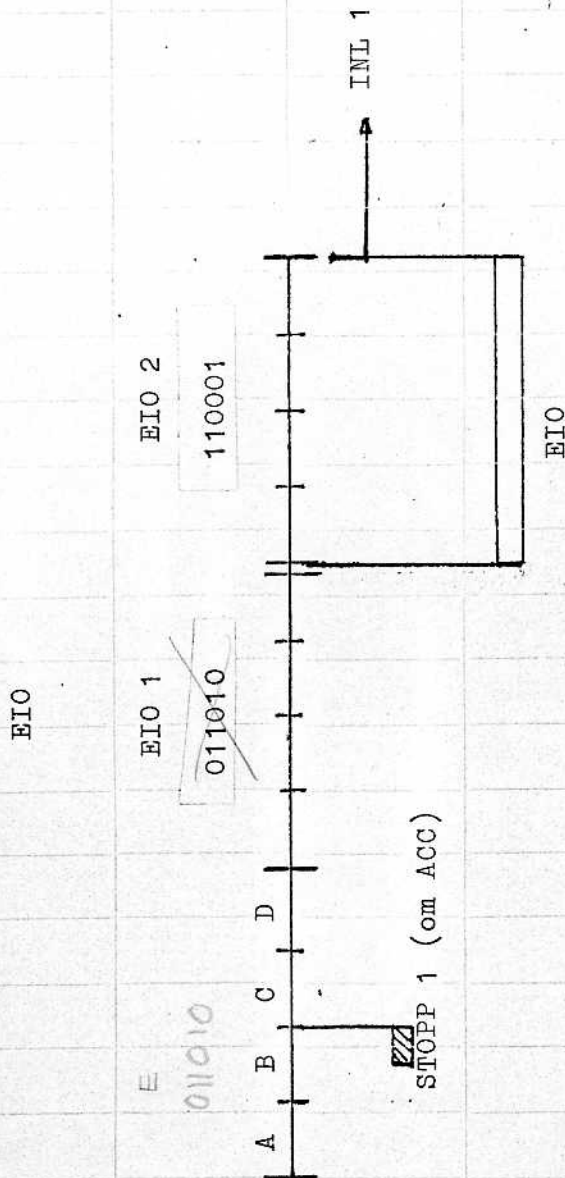
START UKM

DR > SDR

SÄTT GQ, LQ



<p>Namn DATOR D5/20 SERIE</p>	<p>Gäller för m</p>	<p>Utgåva 1</p>	<p>Sida 3:102</p>
-----------------------------------	---------------------	---------------------	-----------------------

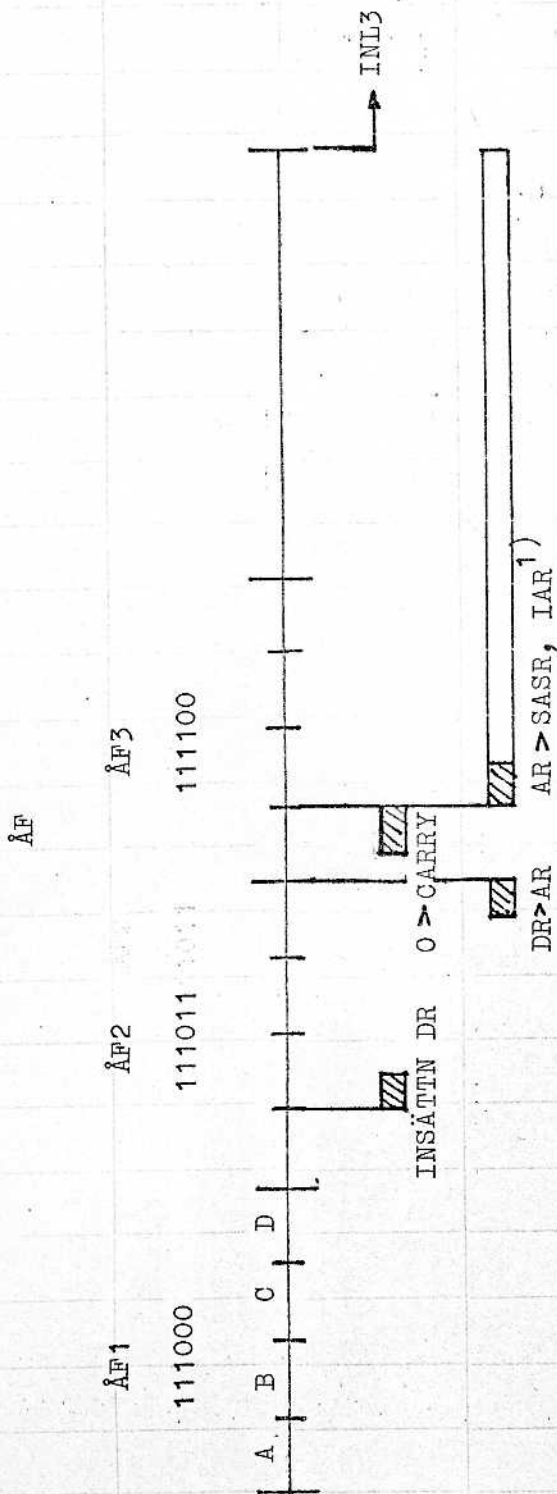


Namn
DATOR D5/20 SERIE

Gäller för m

Utgåva
1

Sida
3:103



1) Göres med hjälp av mikroordern "IAR-SASR > DR"

Namn	Gäller för	Utgåva	Sida
DATOR D5/20 SERIE		1	3:104

3.4.2.2 Aritmetisk enhet (AU)

I den aritmetiska enheten, där adressbildning och aritmetiska operationer utförs, tillämpas serie-aritmetik. Detta innebär serieöverföring mellan register via en 1-bits adderare, som endast adderar/subtraherar två bitar per period i överföringsfrekvensen.

Från adressfält i instruktionsorder kan åtta st allmänna register, belägna i minnesenheten (SMØ) adresseras. Tre av dessa är indexregister.

För centralenhetens data- och adressbehandling finns följande fem 16-bits register, varav fyra st är skiftande.

DR (Data Register):

Registret erhåller data parallellt från SU, IOCH eller plug för RESET-adress. Resultat efter aritmetiska operationer och data från ØCP får registret i serieform från adderare A (ADA). DR ger data parallellt till SU/SDR, AR, IOCH och via drivkretsar även till ADP-platserna.

AR (Accumulator Register):

Registret används som käll-register tillsammans med DR vid aritmetiska operationer och vid adressberäkning. Data erhålls parallellt från DR och i serieform från adderare B (ADB).

SASR (Storage Address Shifting Register):

Registret kan högerskifta beräknad oktadadress ett steg, varvid ord-adress erhålls. Data erhålls i serie från adderare B (ADB). Data överförs parallellt till SAR.

SAR (Storage Address Register):

Registret utgör buffertregister för adress till minnesenheten SU. Data erhålls parallellt från SASR, RAR eller XAR.

IAR (Instruction Address Register):

Registret är en programräknare. Endast serie in/serie ut förekommer.

Dataflödets alternativa vägar framgår av blockschemat, se bild 3.4.3.

Fyra st 1-bits adderare förekommer och där ADA försörjer DR, ADB både AR och SASR, och ADC samt ADD tillgodoser IAR.

Namn DATOR D5/20 SERIE	Gäller f o m	Utgåva 1	Sida 3:105
---------------------------	--------------	-------------	---------------

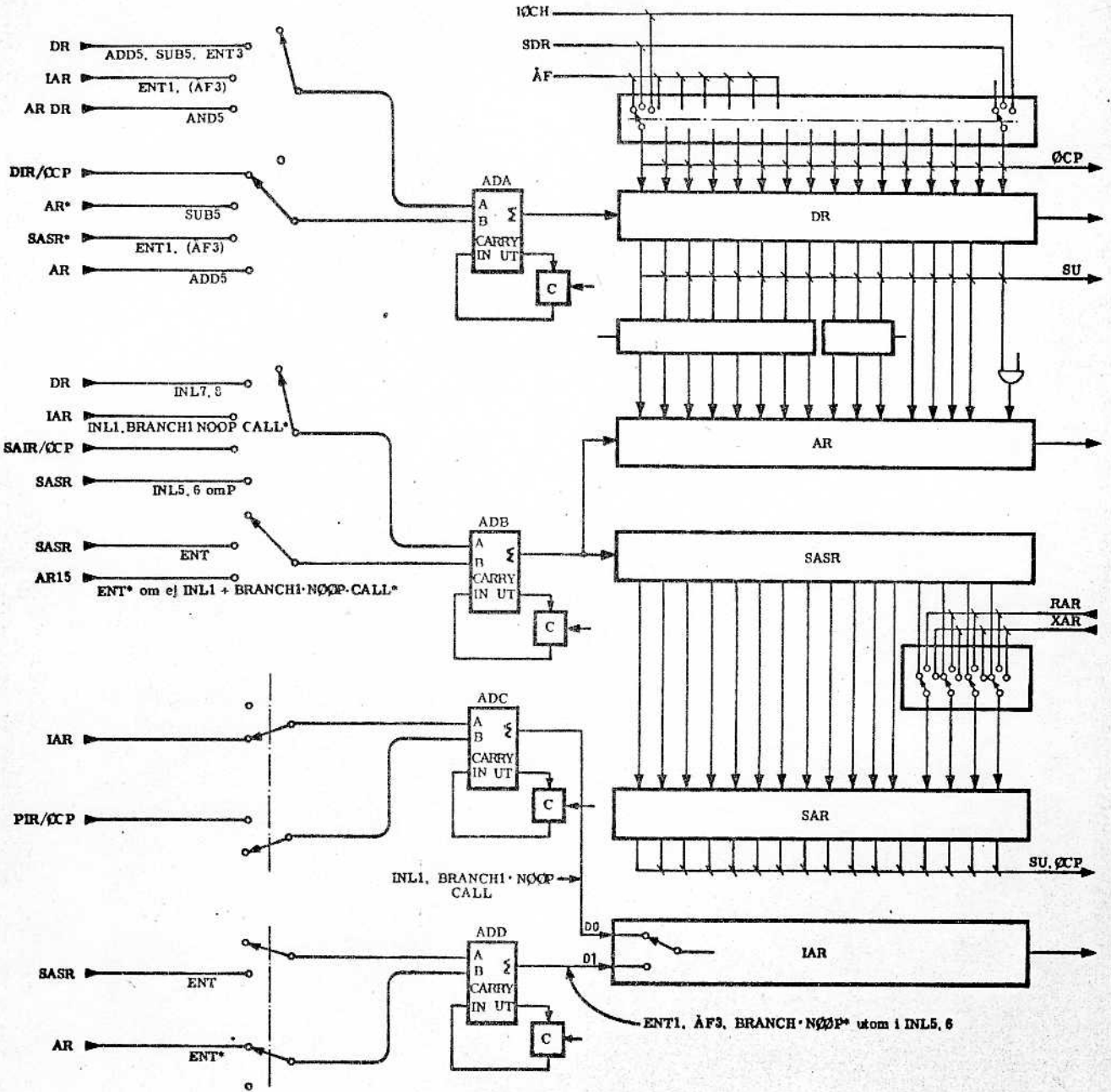


Bild 3.4.21 Dataflödet i AU

Dataväljarna på bild 3.4.21 som föregår adderarna har här symboliskt framställts som vridomkopplare, vars läge betraktas som statistiskt för varje moment i mikroprogrammet. Varje läge är försett med det moment som gäller. För aritmetikens funktion redogörs nedan med hjälp av operationsbeskrivningar.

Namn	Gäller för	Utgåva	Sida
DATOR D5/20 SERIE		1	3:106

OperationsbeskrivningarINL

INL (förkortning av Inledning) är, helt eller delvis, en sekvens som är gemensam för samtliga operationer. I INL utföres framräkning av programräknaren (IAR) samt beräkning av effektivadress.

STÖPP från ØCP sker mellan INL4 och INL5. STEG eller START börjar om med INL4, varför varje operation kan anses både börja och sluta med INL4. Detta medför att instruktionsord till nästa operation kan indikeras på ØCP vid STOPP. Normalt börjar ny operation med INL3, d.v.s. utläsning av nytt instruktionsord.

INL1, 2

Inledningen börjar med att adderarnas carry-minnen, \boxed{C} , ett-ställes. Därefter sker en serieöverföring dels från IAR via ADB ingång A till SASR och AR dels från IAR via ADC ingång A åter till IAR. Innan INL3 är $c(IAR) = c(SASR) = c(AR) = [gamla\ c(IAR)] + 1$.

INL3

Carry-minnena noll-ställes (för att vid STÖPP ej CARRY=1). Adressen till instruktionsordet överföres från SASR till SAR, och en läscykel i SU startas.

INL4

Det framlästa instruktionsordet överföres från SDR till DR. Från DR hämtas och lagras "märkningar": operationskod i ØPR, registeradress i RAR och indexregisteradress i XAR.

Om instruktionen har format F2 överföres $c(\text{ØPR})$ till CMR, varefter i stället för INL5 följer aktuell F2-operation.

Vänsterhalvan av DR nollställes i klockpuls D1, varefter $c(DR)$, som nu är displacement, överföres i D2 till AR. Vid självrelativ adressering och om displacement < 0 d.v.s. DR8=1 insättes ettor i AR:s vänsterhalva med hjälp av funktionen DNEG.

I LDC och STC som bara har 5 bitar displacement överföres ej DR8-DR10 till AR, utan nollor insättes i stället i AR.

INL5, 6 Relativ-adressering

Moment 5 börjar med

$c(AR) = \text{displacement}$

$c(SASR) = \text{instruktionsordets adress}$

Namn	Gäller för	Utgåva	Sida
DATOR D5/20 SERIE		1	3:107

Carry-minnena nollställs i A2. (De kan ha ett-ställts av \emptyset CP-överföring under ST \emptyset PP.)

c (XAR) = indexregisteradress överföres till SAR i B1 för avsändning vid den följande framläsningen av index.

Om P = 0 d.v.s. självrelativ adressering, startas en addering av c (AR) och c (SASR) i B1, vars resultat placeras i AR och SASR.

SASR seriematas till ADB ingång A och AR till ADB ingång B. Om P=1 matas 0-or till ADB ingång A, varför c (AR) \rightarrow SASR, AR.

Under serieadditionen startas en läscykel i minnet i C1, som läser fram index.

c (SDR) överföres till DR (=index) i B1.

Om X = 0 utföres som sista åtgärd överföring av \emptyset PR till CMR i C2, varefter uthopp till aktuell F1-operation sker.

Om X = 1 fortsättes med INL7.

INL7, 8 Index-addering

Carry-minnena noll-ställs i A2.

Signalen XAR > SAR ges i B1, vilket skall generera INL8.

Nu är c (DR) = index
c (AR) = displacement + (instruktionsordets adress vid rel.adr.)

Addition av c (DR) och c (AR) startas och resultat placeras i AR och SASR.

c (DR) seriematas till ADB ingång A,
c (AR) seriematas till ADB ingång B,
samt ADB Σ seriematas till AR och SASR.

I INL8 överföres \emptyset PR till CMR och uthopp till aktuell F1-operation sker.

Namn	Gäller f o m	Utgåva	Sida
DATOR D5/20 SERIE		1	3:108

STST1

I klockpuls B1 överföres registeradress från RAR till SAR. I C1 startas utläsning av registerinnehållet.

ST2

Tomt. moment i väntan på att minnescykeln skall slutföras.

ST3

Den i INL bildade effektivadressen överföres i B1 från SASR till SAR. Samtidigt överföres det utlästa registerinnehållet från SDR till DR. I C1 överföres åter DR till SDR och en skrivcykel startas. (STARTUKM samtidigt med mikroordern DR > SDR innebär SKRIV.)

LDLD1

I INL bildad effektivadress överföres från SASR till SAR i B1. I klockpuls C1 startas en läscykel.

LD2

Tomt moment i väntan på läscykelns slutförande.

LD3

Det utlästa ordet överföres från SDR till DR och registeradress föres från RAR till SAR i klockpuls B1.

I C1 överföres åter DR till SDR och en skrivcykel startas. I D2 sättes GQ och LQ i enlighet med innehållet i SDR och DR.

ADD, SUBADD1, SUB1

I INL bildad effektivadress överföres från SASR till SAR i B1. I C1 startas en läscykel.

ADD2, SUB2

Tomt moment i väntan på läscykelns slutförande.

Namn	Gäller för	Utgåva	Sida
DATOR D5/20 SERIE		1	3:109

ADD3, SUB3

Utläst ord överföres från SDR till DR samt registeradress överföres från RAR till SAR i B1. Ny läscykel för utläsning av registrets innehåll startas i C1. Innehållet i DR (= först utläst ord) lagras undan till AR i klockpuls D2.

ADD4, SUB4

Adderarnas carry-minnen noll-ställes i A2

(Carry-minnena kan vara ett-ställda efter INL:s relativaddition eller indexaddition.) Det utlästa registerinnehållet överföres från SDR till DR i B1.

ADD5 ($\emptyset PR3 \Rightarrow ADD$)

En serieöverföring startas i B1. c (AR) och c (DR) adderas och summan placeras i DR: c (DR) skiftas till ADA ingång A samt c (AR) skiftas till ADA ingång B. Summan skiftas in i DR.

ADD6

Skiftningar enligt ADD5 slutföres.

SUB5 ($\emptyset PR3^* \Rightarrow SUB$)

Adderarnas carry-minnen ett-ställes i A2. En serieöverföring startas i B1. c (AR) subtraheras från c (DR) och skillnaden placeras i DR: c (DR) skiftas till ADA ingång A samt $[c(AR)]^*$ skiftas till ADA ingång B.

Genom att carry-minnet är ett-ställt före skiftningen och att AR* skiftas till ADA/B gör ADA en addition av c (DR) och c (AR):s 2-komplement, d.v.s. skillnaden mellan c (DR) och c (AR) bildas.

ADD7, SUB7

I C1 överföres DR till SDR och en skrivcykel startas. Summan eller skillnaden skrives in i förut adresserat register. I D2 sättes GQ och LQ i enlighet med innehållet i SDR och DR.

STCSTC1

c (RAR) överföres till SAR i B1. I C1 startas en utläsning av registerinnehållet.

Namn	Gäller för om	Utgåva	Sida
DATOR D5/20 SERIE		1	3:110

STC2

c (SASR) är efter INL beräknad effektivadress som vid STC och LDC är oktad- (halvords-)adress.

Halvordsadressen göres till ordadress genom att SASR skiftas ett steg till höger i A2. Det ovan utlästa registerinnehållet överföres från SDR till DR i B1.

STC3

Adderarnas carry-minnen noll-ställes i A2. Om halvordsadressen (som finns i AR) är jämn (om AR15*) startas i B1 en skiftning av det utlästa registerinnehållet i DR 8 steg åt vänster..

STC4

Helordsadressen överföres från SASR till SAR i B1. I C1 överföres ena halvordet i DR till SDR; det vänstra, om halvordsadressen (M) är jämn (CSDR1*) och det högra om M är udda (CSDR2*). I C1 startas även en skrivning i ena halvordet av cellen med ordadress M/2; i det vänstra om M är jämn (SKRIV1*) och i det högra om M är udda (SKRIV2*).

LDCLDC1

I INL bildad halvordsadress (M) c (SASR), skiftas ett steg åt höger i A2. Därmed är ordadressen ($M \div 2$) bildad. c (SASR) överföres till SAR i B1. En läscykel i minnet startas i C1..

LDC2

Det utlästa ordet, c ($M \div 2$), överföres från SDR till DR.

LDC3

Adderarnas carry-minnen noll-ställes i A2. (De kan vara ettställda efter INL:s relativ- eller indexaddition.) Om M är jämn (AR15*=1) skall vänsterhalvan av c ($M \div 2$) skrivas in i R. I A1 startas därför en högerskiftning 8 steg av DR om AR15*.

LDC4

I B1 överföres c (RAR) till SAR. c (DR8-15) överföres till motsvarande positioner i SDR. Till SDR 0-7' överföres nollor. I C1 startas även en skrivcykel i minnet. I D2 sättes GQ och LQ i enlighet med innehållet i SDR.

Namn	Gäller f o m	Utgåva	Sida
DATOR D5/20 SERIE		1	3:111

BRANCHBRANCH1 om NÖÖP . CALL*

Adderarnas carry-minnen ett-ställes i A2. En skiftning startas i B1. c (IAR) skiftas via ADC ingång A åter till IAR. (Då carry-minnet var ett-ställt adderas +1 till c (IAR).) Samtidigt skiftas c (IAR) via ADB ingång A till SASR och AR. (Då carry-minnet var ett-ställt adderas +1 till c (IAR).) Härpå följer INL3.

BRANCH1 om NÖÖP* . CALL*

Adderarnas carry-minnen noll-ställes i A2. c (AR) är nu beräknad effektivadress till vilken hoppet skall göras. En skiftning startas i B1. c (AR) skiftas via ADB ingång B till SASR och AR.

c (AR) skiftas även via ADD ingång B till IAR. Härpå följer INL3.

BRANCH1 om CALL

Adderarnas carry-minnen noll-ställes i A2. c (AR) är nu beräknad effektivadress till vilken CALL pekar. En skiftning startas i B1. c (AR) skiftas via ADB, ingång B, till SASR och AR. c (IAR) skiftas via ADC, ingång A, åter till IAR. c (IAR) är nu adressen för CALL-instruktionen.

BRANCH2

Skiftningar enl. BRANCH1 slutföres.

Härpå följer INL3.

ANDAND1

SAR noll-ställes i B2. En läsning av R0 startas i C1.

AND2

Tomt moment i väntan på läs-cykelns slutförande.

AND3

c (RAR) överföres till SAR samt c (SDR) (utlästa c(RO)) överföres till DR i B1. I C1 startas en läsning av adresserat register. I D2 överföres c (DR) till AR.

Namn	Gäller för	Utgåva	Sida
DATOR D5/20 SERIE		1	3:112

AND4

c (SDR) (utläst registerinnehåll) överföres till DR i B1.

AND5

Adderarnas carry-minnen noll-ställes i A2. En skiftning startas i B1. c(AR) och c(DR) skiftas bit för bit till varsin ingång på en OCH-grind. Den logiska produkten skiftas via ADA ingång A till DR.

AND6

Skiftningar enl. AND5 slutföres.

AND7

c (DR) överföres till SDR och en skrivning av resultatet i adresserat (i AND3) register startas i C1. I D2 sättes GQ och LQ i enlighet med innehållet i SDR.

ENTENT1

Adderarnas carry-minnen ett-ställes i A2. En skiftning startas i B1. Om en CALL har föregått ENT-operationen är c(IAR) adressen för CALL-operationen. c(SASR) är effektivadressen för ENT-operationen. Till DR överföres $c(IAR) - c(SASR) + 1$ genom att c(IAR) föres till ADA, ingång A, och komplementet av c(SASR) till ADA, ingång B. Till IAR överföres $c(SASR) + 1$ via ADD, ingång A. Till SASR och AR överföres även $c(SASR) + 1$ via ADB ingång B.

ENT2

Skiftningar enl. ENT1 slutföres.

ENT3

Adderarnas carry-minnen ett-ställes i A2. En skiftning startas i B1. $c(DR) + 1$ överföres till DR via ADA, ingång A. Överföringen styrs av mikroordern $DR^+AR > DR$ men överföringen av AR till ADA, ingång B, inhiberas av ENT-avkodningen.

ENT4

Skiftningar enl. ENT3 slutföres.

ENT5

c(RAR) överföres till SAR i B1. c(DR) är nu $M_{CALL} - M_{ENT} + 1$.
c(DR) överföres till SDR och en skrivning startas i C1.

Namn DATOR D5/20 SERIE	Gäller för	Utgåva 1	Side 3:113
---------------------------	------------	-------------	---------------

ENT6

Tomt moment för att hinna slutföra skrivningen innan läsningen i INL3 som följer närmast.

SICSIC1

c(RAR) överföres till SAR i B1. En utläsning av R-cell, som önskas skiftad, startas i C1.

SIC2

Adderarnas carry-minnen noll-ställes i A2. Utlästa register-innehållet överföres från SDR till DR i B1.

SIC3

En skiftning om 8 steg startas i B1. DR:s innehåll skiftas 8 steg till vänster.

SIC4

c(DR) överföres till SDR och en skrivcykel startas i C1. GQ och LQ sättes i enlighet med SDR:s innehåll i D2.

SRCSRC1

c(RAR) överföres till SAR i B1. En utläsning av register-innehållet startas i C1.

SRC2

Utläst c(R) överföres från SDR till DR i B1.

SRC3

Adderarnas carry-minnen noll-ställes i A2.

En skiftning 8 steg höger av DR startas i B1.

Namn	Gäller för	Utgåva	Sida
DATOR D5/20 SERIE		1	3:114

SCR4_

c(DR) överföres till SDR och en skrivcykel startas i C1. GQ och LQ sättes i enlighet med SDR:s innehåll i D2.

SLLSLL1_

c(RAR) överföres till SAR i B1. En utläsning av registerinnehållet startas i C1.

SLL2_

Utläst c(R) överföres från SDR till DR i B1.

SLL3_

c(DR) skiftas ett steg till vänster i B1. c(DR) överföres till SDR och en skrivcykel startas i C1. GQ och LQ sättes i enlighet med SDR:s innehåll i D2.

SRLSRL1_

c(RAR) överföres till SAR i B1. En utläsning av registrets innehåll startas i C1.

SRL2_

Utläst c(R) överföres från SDR till DR i B1.

SRL3_

c(DR) skiftas ett steg till höger i B1. c(DR) överföres till SDR och en skrivcykel startas i C1. GQ och LQ sättes i enlighet med SDR:s innehåll i D2.

ØUTØUT1_

STØPP1 signaleras i B2. Den upphör efter att ACC från föregående operation, t.ex. ØUT, har fallit. Minst ett tomt moment erhålles efter ØUT1.

ØUT2_

c(RAR) överföres till SAR i B1. Utläsning av registerinnehåll startas i C1.

Namn	Gäller f o m	Utgåva	Sida
DATOR D5/20 SERIE		1	3:115

ØUT3

Utläst c(R) överföres från SDR till DR i B1 och lägges därmed ut på UTDATA-bussen.

ØUT4

Signalen IØGRIND lägges ut under hela momentet till IØC. STØPP2 erhålles från B2. Stoppet upphör, då ACC eller TIDFEL erhålles. Minst ett tomt moment erhålles efter ØUT4. Vid TIDFEL sättes GQ=1.

IØAIØA1

Signalen STØPP1 ges från B2. Stoppet upphör efter att ACC från föregående operation har fallit. Minst ett tomt moment erhålles efter IØA1.

IØA2

c(RAR) överföres till SAR i B1. Utläsning av registerinnehåll, c(R), startas i C1.

IØA3

Utläst c(R) överföres från SDR till DR och lägges därmed ut på UTDATA-bussen i B1. Signalen DR > ASR ges i D1 till IØC.

ININ1

Signalen STØPP1 ges från B2. Stoppet upphör efter att ACC från föregående operation har fallit. Minst ett tomt moment erhålles efter IN1.

IN2

Signalen IØGRIND lägges ut från A1 t.o.m. moment IN3. STØPP2 erhålles från B2. Stoppet upphör då ACC eller TIDFEL erhålles. Minst ett tomt moment erhålles efter IN2.

IN3

c(RAR) överföres till SAR och data från IØCH klockas in i DR, i B1. c(DR) överföres till SDR och en skrivcykel startas i C1. GQ och LQ sättes enl. SDR:s innehåll i D2.

Namn	Gäller för	Utgåva	Sida
DATOR D5/20 SERIE		1	3:116

IØS

IØS1

Signalen STØPP1 ges från B2. Stoppet upphör efter att ACC, från föregående operation, har fallit. Minst ett tomt moment erhålles efter IØS1.

IØS2

c(RAR) överföres till SAR och eventuellt data från IØCH klockas in i DR, i B1. c(DR) överföres till SDR och en skrivcykel startas i C1. GQ och LQ sättes i enlighet med SDR:s innehåll i D2.

EIØ

EIØ1

Signalen STØPP1 ges från B2. Stoppet upphör efter att ACC från föregående operation har fallit. Minst ett tomt moment erhålles efter EIØ1.

EIØ2

Signalen EIØ[^] ges under hela momentet till IØC.

ÅF

ÅF1

Tomt moment i väntan på att eventuell minnescykel slutföres.

ÅF2

Adress enligt RESET-plug klockas in i DR i B1. c(DR) klockas in i AR i D2.

ÅF3

Adderarnas carry-minnen noll-ställes i A1. En skiftning startas i B1. c(AR) överföres via ADB, ingång B, till AR och SASR samt via ADD, ingång B, till IAR. Detta styres med mikroordern IAR-SASR > DR.

Härpå följer INL3

11 500000000 1 01 0000 01100

Namn	Gäller för	Utgåva	Sida
DATOR D5/20 SERIE		1	3:117

GQ, LQ-indikatorerna. Se bild 3.4.22.

För att indikera resultat från vissa operationer finns vipporna GQ (greater or equal) och LQ (less or equal).

Innehållet i GQ, LQ bestäms av resultat i någon föregående operation.

Vipporna sätts i slutet på respektive operation, då resultatet återinskrivs i minnet.

Vipporna kan inta följande lägen:

Resultat	GQ	LQ
> 0	1	0
= 0	1	1
< 0	0	1

ANM.

Operation ØUT noll-ställer alltid GQ. Om tidsfel inträffar ett-ställs GQ innan nästa operation påbörjas. LQ påverkas ej. Kombinationen 0 - 0 i GQ, LQ kan alltså inträffa.

Vipporna avkännes av de villkorliga hoppen, varvid programvägval kan erhållas beroende på ett tidigare resultat.

Namn	Gäller för	Utgåva	Sida
DATOR D5/20 SERIE		1	3:118

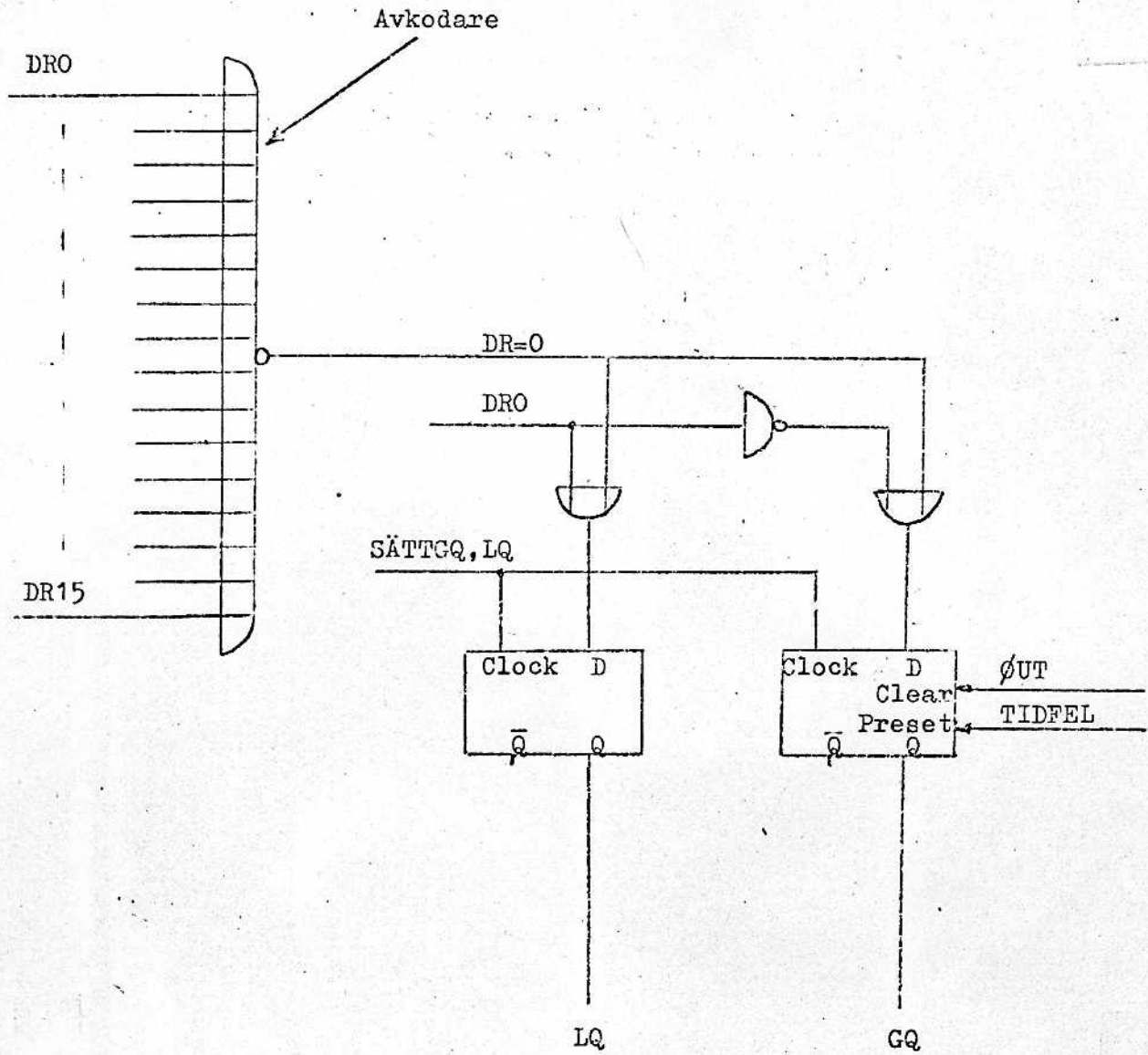


Bild 3.4.22. Logik för sättning av GQ, LQ.

Namn	Gäller f o m	Utgåva	Sida
DATOR D5/20 SERIE		1	3:119

3.4.2.3 Synkronisering och anpassning till minne (SU)

Kärnminnet, som kan byggas ut i moduler om 1 Kord, är organiserat i ord om 16 bitar. Möjlighet att adressera oktader om 8 bitar finnes i operationerna STC och LDC.

CPU:n styr minnet helt och hållet ifrån sitt styrminne. Detta sker med mikroorderna STARTSU och DR > SDR. Läscykel och skrivcykel är identiska sånär som på datainsättning från CPU:n (DR), vilket sker innan den för en läscykel normala återinskrivningen äger rum.

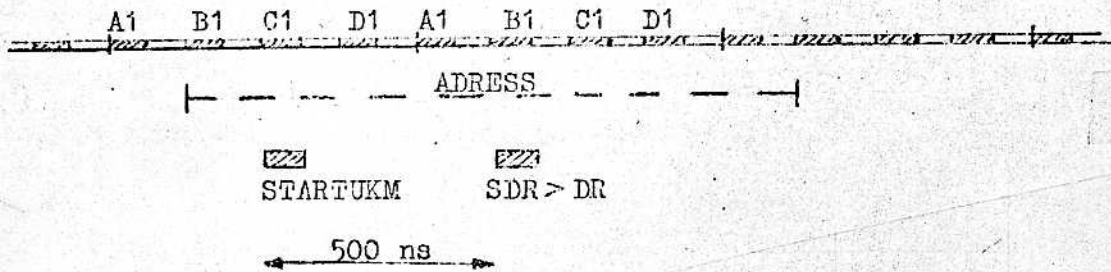


Bild 3.4.23 Läscykel

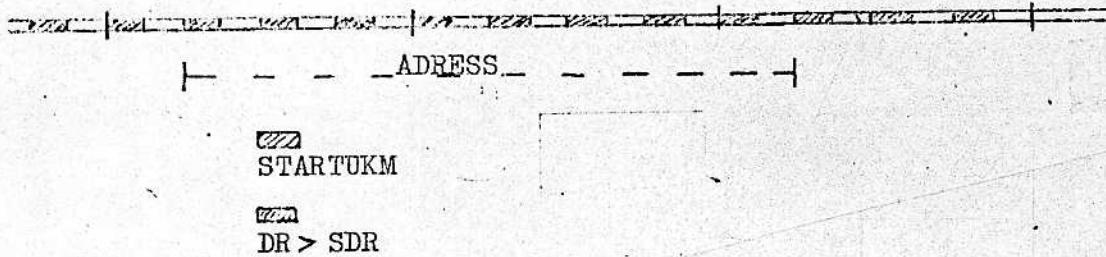


Bild 3.4.24 Skrivcykel

Accesstiden för kärnminnet är 500 ns, varefter information finns tillgängligt i SDR. Således göres alltid intagning av data ca 500 ns efter STARTUKM (C1) med mikroordern SDR > DR.

Vid skrivning krävs att CPU avger, förutom STARTUKM, även "SKRIV" och klockpuls till SDR (CSDR). SKRIV initieras av mikroordern DR > SDR. Denna förskjutes med hjälp av två vippor för att passa minnet och kallas då för SKRIV (se pulsdigram, bild 3.4.25).

Namn DATOR D5/20 SERIE	Gäller för	Utgåva 1	Sida 3:120
---------------------------	------------	-------------	---------------

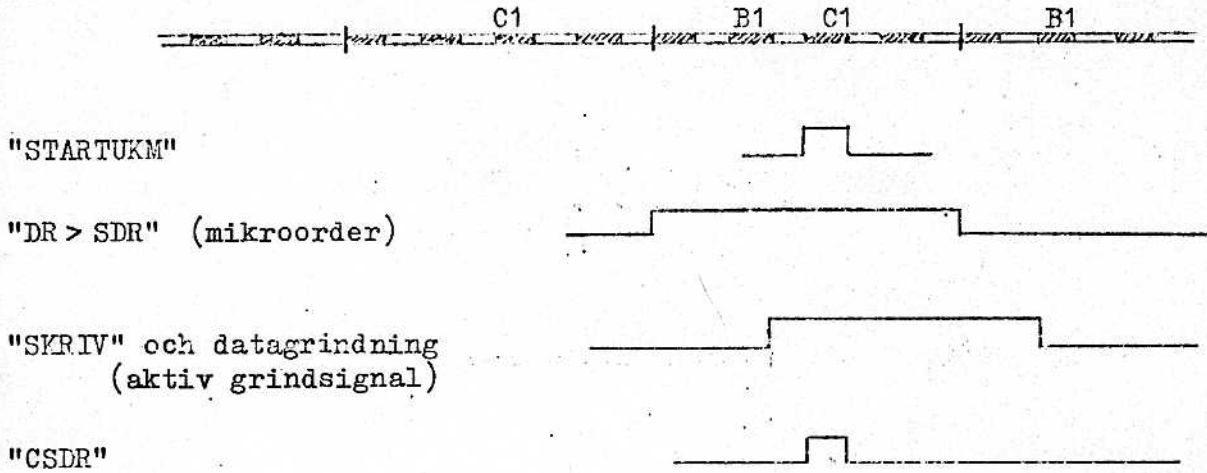


Bild 3.4.25 Pulsdiagram för skrivcykel

ANM. I operationen STC skall halva ordet (8 bitar) kunna skrivas utan att andra halvan berörs. Detta kräver separata trådar för SKRIV och CSDR till båda ordhalvorna. Då ena halvan ska skrivas överförs SKRIV och CSDR till denna, medan andra halvan kvarstår och återinskrivs i kärnminnet.

Ex. Vänsterhalvan skall skrivas och högerhalvan kvarstå oförändrad. Avkänningen av vilken halva som avses sker med signalen JÄMN ADRESS (JA). Signalen överförs från en vippra, som ställs när skriftpulser har förekommit, vilket är beroende av AR15, (den minst signifikanta positionen i halvordsadressen. Här är alltså signalen JA=1, då skiftning förekommit. Signalen används för att välja SKRIV och CSDR till respektive halva samt för att grinda data från CPU. Här överförs alltså signalerna CSDR* och SKRIV*.

I operation LDC skall skrivning alltid ske i högerhalvan (pos. 8-15) samtidigt som vänsterhalvan (pos. 0-7) noll-ställs. Noll-ställningen åstadkomes, när signalerna SKRIV och CSDR överförs till båda halvorna, men grindning av data till vänsterhalvan inhiberas.

Namn	Gäller för	Utgåva	Sida
DATOR D5/20 SERIE		1	3:121

3.4.2.4 Fast laddasekvens

För att datorn skall kunna laddas då minnet är tomt är den försedd med en fast laddasekvens. Denna användes för att administrera inläsning ifrån valfri yttre enhet. Laddasekvensen är adressmässigt belägen längst bak i adresserbar minnesarea och består av 32 ord; d.v.s. arean FFEO₁₆-FFFF₁₆. Den består av ett Read-Only-Storage med två kapslar om vardera 32 x 8 bitar. Dessutom finns en avkodare, som känner om någon cell i laddasekvensen är adresserad. När så är fallet inhiberas "STARTUKM" till kärnminnet samtidigt som Ladda-minnet frisläppes. För att sätta in laddaminnets innehåll i minnesdataregistret (SDR), klockas SDR, då laddasekvensen är adresserad. Bild 3.4.26 visar minnesregistrets datasignaler och deras tre olika källor. Då laddasekvensen är adresserad utbytes i princip läsförstärkarna i SU mot ROS i CPU, d.v.s. i stället för att läsa ut en instruktion ur kärnminnet, läses den ur laddaminnet.

Namn DATOR D5/20 SERIE	Gäller för m	Utgåva 1	Sida 3:122
---------------------------	--------------	-------------	---------------

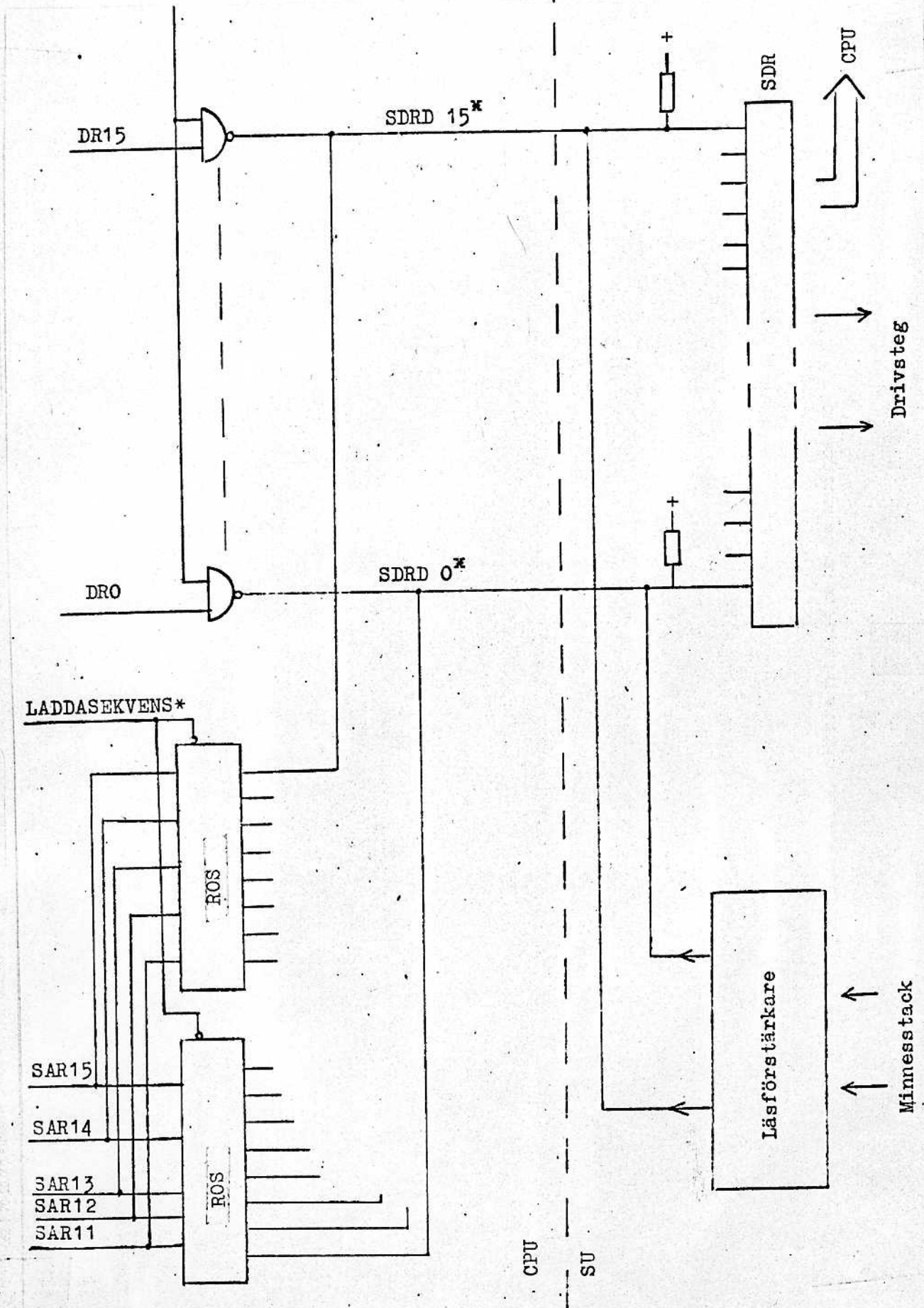


Bild 3.4.26 Minnesregistrets datasignaler (SDRD)

Namn	Gäller för	Utgåva	Sida
DATOR D5/20 SERIE		1	3:123

3.4.2.5 Återföringslogik

Datorn kan återföras till ett väl definierat läge och det finns tre olika sätt att åstadkomma detta:

1. RESTART (återstart i utbyggt kärnminnes sista cell)
2. LOAD (återstart i laddasekvensens näst sista cell FFFE₁₆)
3. PSGØ (kraftavbrott. Datorn stoppas innan spänningarna faller. Vid tillslag samma funktion som vid RESTART)

När någon av dessa signaler överförs stannar datorn efter det att pågående operation avslutats. Styrenhetens minne tvångställs i det läge, där återföringssekvensen börjar. I denna sekvens (se operationsbeskrivningen) alstras adressen för början av datorns programgenomlopp.

Störningar i form av s.k. korta spikar ska ej förekomma på någon återföringsledning, men ÅF-logiken är konstruerad att klara pulser av alla längder och tidslägen. Detta åstadkommes främst med BRYT-vippan, se bild 3.4.27, vilken avkänner om ÅF önskas varje gång klockpulsen C2 uppträder.

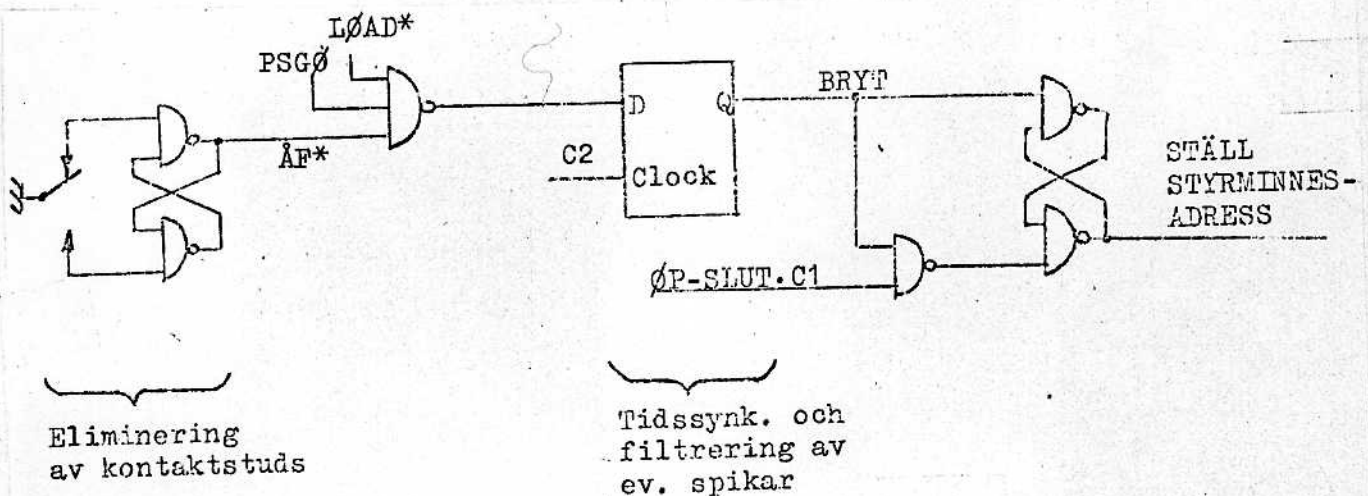


Bild 3.4.27 Logisk princip för ÅF-logik

Vippan tar in data på framkanten av pulsen (flanktriggad). När BRYT är ställd och operationen är slutförd ställs den vippan (latch) som medför tvångställning av adressen till styrminnet. Då ställs dessutom ÅF-vippan som överför signal till IØ-systemet. Om knappen LOAD är intryckt ställs även vippan LADDA. Vippan används internt i centralenheten för att generera adressen till laddasekvensen och i in/ut-styraren för att frisläppa laddamediet (remsläsare alt. bandspelare).

Namn	Gäller f o m	Utgåva	Sida
DATOR D5/20 SERIE		1	3:124

ÅF- och LADDA-vipporna nollställs, när återföringssekvensen fullföljts och den första instruktionen skall utföras.

ÅF ≥ 1 ms är en återföringssignal som ej kan bli kortare än 1 ms. Tidkretsen i kraftenheten (PS) styr denna tid, när PS ger återföring. I övriga fall bestämmer tryckknapparnas mekaniska tröghet den kortaste ÅF-signalen.

Vid återföring alstras en adress, som är beroende av minnesstorleken hos datorn. För detta används en ändringsbar plugg (RESET PLUG), där överkopplingar kan göras för att erhålla rätt adress. Se bild 3.4.28. (Pluggen placerad i hållare på CPU kk.)

Laddasekvensens adress genereras som näst högsta adress inom adresserbar area. (Insättning av adress sker via RESET PLUG.) Alla positioner som är anslutna till pluggen blir låga (logisk etta) då de är ickefunktioner.

Detta åstadkommes genom att signalen LADDA*, via RESET PLUG, är ansluten till de signaler, vilka vid ÅF skall vara höga (logisk nolla).

Adressen FFFF₁₆ kommer att insättas i DR. Den önskade ladda-adressen (FFFF₁₆) erhålls genom att nollställa den sista positionen. Detta sker då DR överförs till AR via en grind som styrs av LADDA*.

Namn DATOR D5/20 SERIE	Gäller för	Utgåva 1	Sida 3:125
---------------------------	------------	-------------	---------------

Ex. 4kord = 0FFF

0FFF = 4095
F000 4096

Pluggen = VT, RD

Inprogrammerad adress anger läget som erhålles
då "RESET" intryckes.

03FF = 1kord
07FF = 2 " "
0AFF = 3 " "
0FFF = 4

Ladda icke

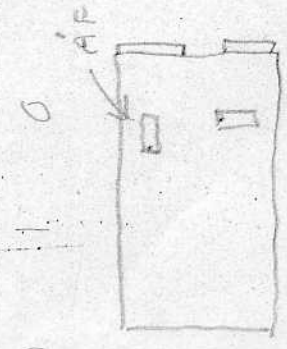
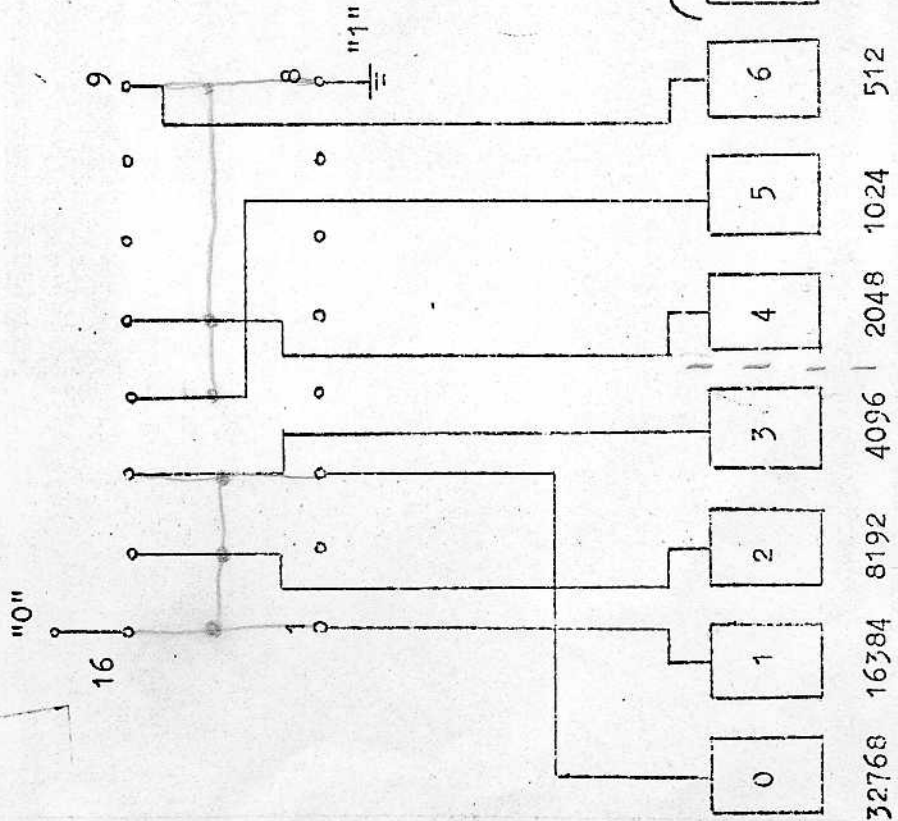


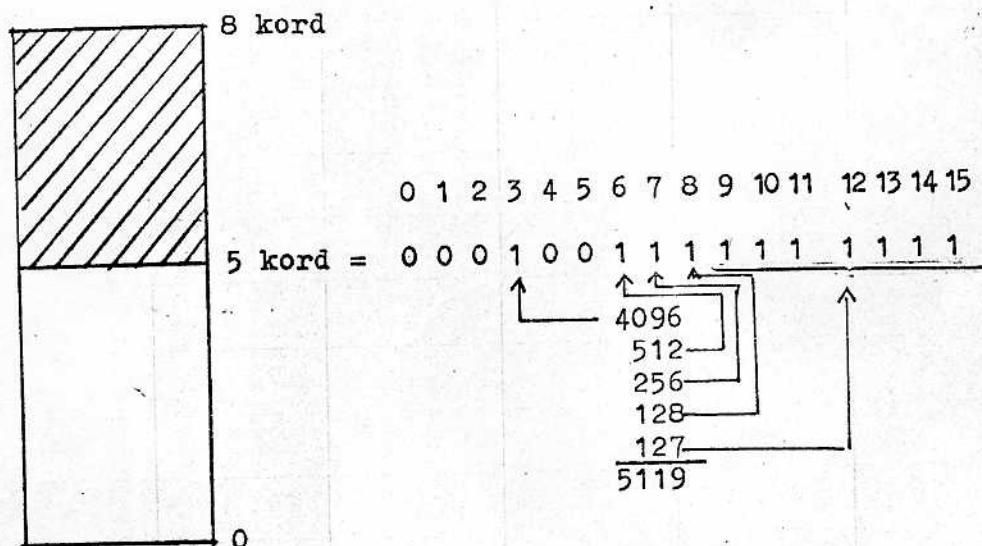
Bild 3.4.4.28 RESET PLUG

Namn DATOR D5/20 SERIE	Gäller för	Utgåva 1	Sida 3:126
---------------------------	------------	-------------	---------------

3.4.2.6 Skrivskydd

Skrivskyddet är uppbyggt med 2 st 5-bitars jämförare, där SAR0-8 jämförs med ett förbestämt värde som bestäms av "write protection plug". Principiellt kan jämförelsen beskrivas tillgå så att SAR0 jämförs med den mest signifikanta biten från pluggen, SAR1 jämförs med den mest signifikanta biten o.s.v. Jämförelsen fortgår på detta sätt tills de båda bitarna skiljer sig från varandra. När detta inträffar görs en avkänning om SAR är större än "write protection plug". Är så fallet kommer utgången A > B (på jämföraren) att ge upphov till signalen "SKYDDADR". Denna signal inhiberar sedan eventuellt skrivförsök i den adresserade minnescellen. Vid försök att skriva i skrivskyddad adress erhålls felsignal i felregistret på IØCH.

Skrivskyddets verkan kan kopplas från genom att tända knappen "Write" på datorns frontplåt. "Enable"-ingången på jämföraren kommer då att bli hög, vilket innebär, att jämförelsen inhiberas. I bild 3.4.30 visas hur "Write Protection Plug" skall inkopplas.



Sista icke skrivskyddade cell = $5119_{10} = 13FF_{16}$
 Pluggens utseende blir då:

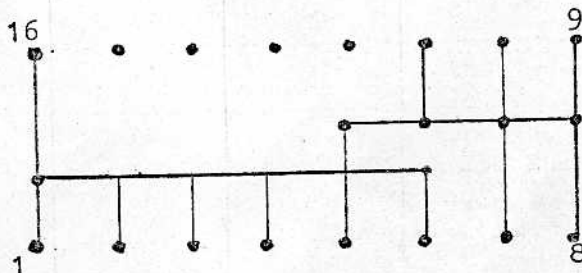
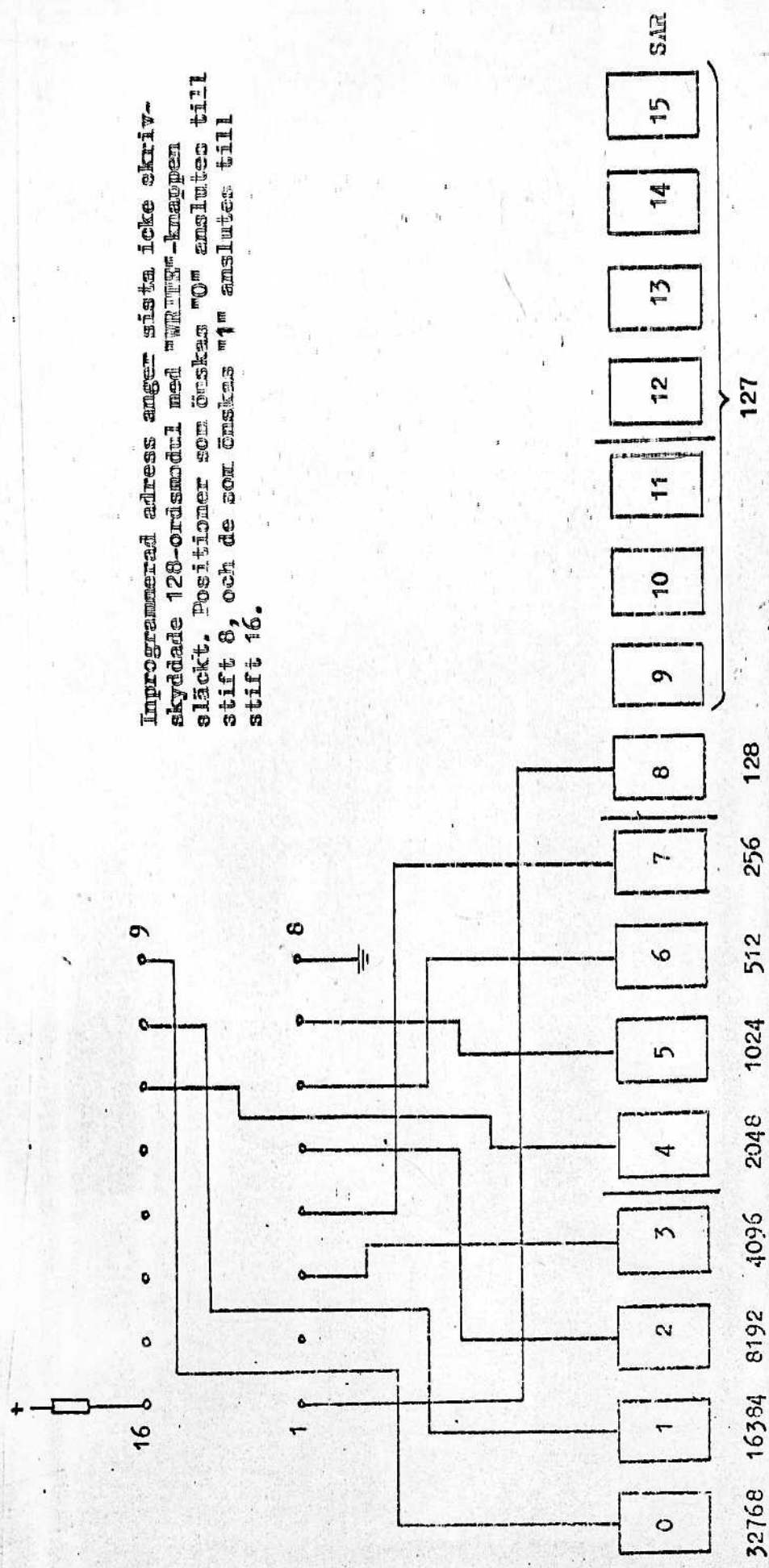


Bild 3.4.29 Exempel på bygling för viss adress

Namn DATOR D5/20 SERIE	Gäller för	Utgåva 1	Sida 3:127
---------------------------	------------	-------------	---------------

Inprogrammerad adress anger sista icke skrivskyddade 128-ordsmodul med "WRITE"-knappen släckt. Positioner som önskas "0" anslutes till stift 8, och de som önskas "1" anslutes till stift 16.



WP - VT BR
Reset - VT RD

Bild 3.4.30 Inkoppling av WRITE PROTECTION PLUG

Minst
signifikant

Namn

DATOR D5/20 SERIE

Gäller för

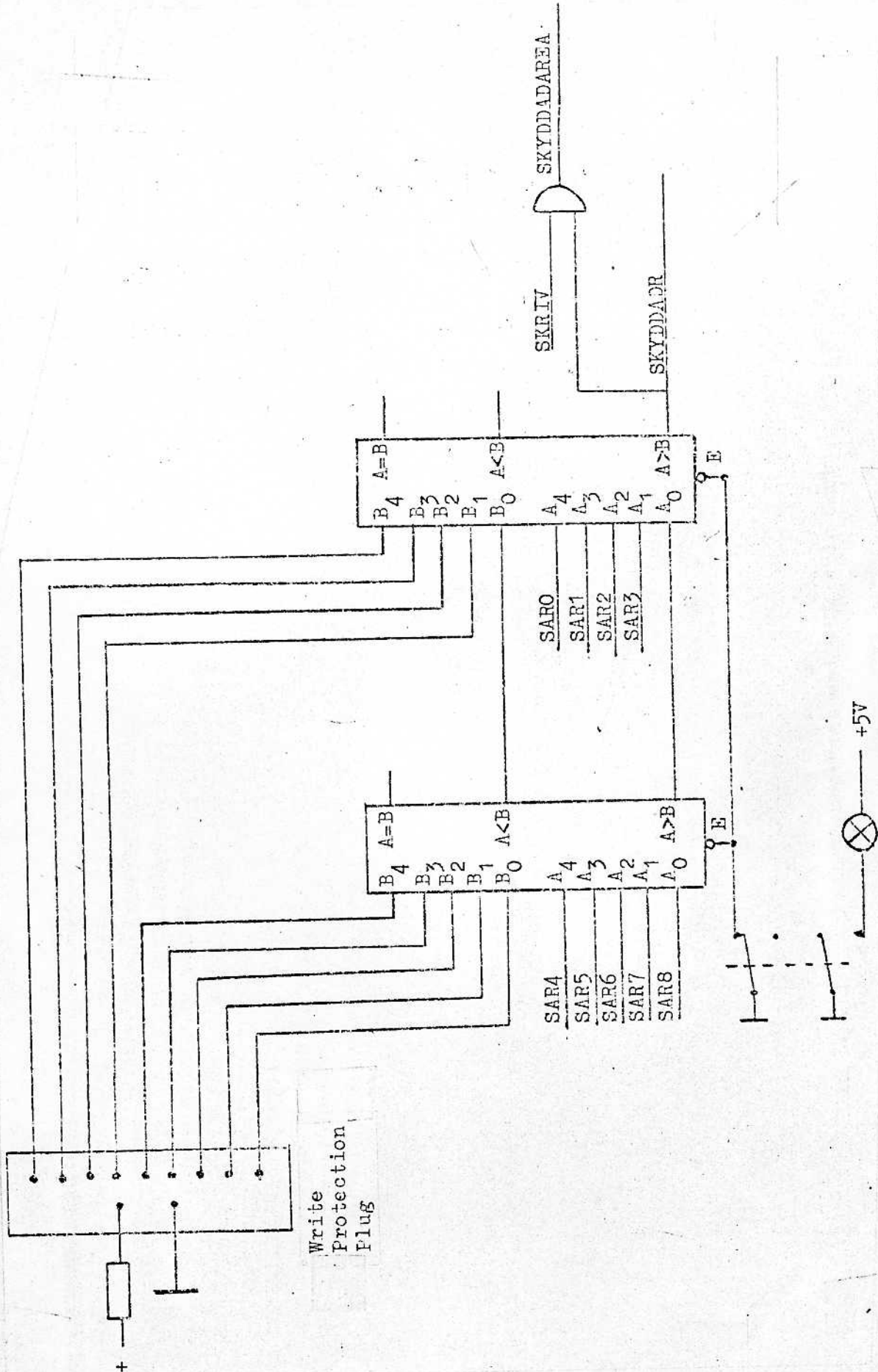


Bild 3.4.31 Skrivskydd uppbyggt med 9324 ord. Skrivskyddet går att ändra i steg om 128 ord.

Namn DATOR D5/20 SERIE	Gäller f o m	Utgåva 1	Sida 3:129
---------------------------	--------------	-------------	---------------

3.4.2.7 Paritetskontroll av minnet (SU)

Paritetskontroll resp. paritetsgenerering är uppbyggt på udda paritet om 9 bitar (inkl. paritetsbit). Denna paritet kontrolleras och genereras av samma logik. Till detta används minnesregistrets (SDR på SU) utgång. Paritetsbitarna är fördelade så att SDR16 bildar paritet för SDRO-7 och SDR17 för SDR8-15.

Generering av paritet sker när SKRIV beordras och består i att DR i AU överförs till SDR i SU. Detta data används sedan för att generera rätt paritet.

SKRIV inhiberar intagning av paritetsbiten till paritetslogiken och tvångsställer ODD- och EVEN-ingångarna till etta resp. nolla.

Utgången Σ ODD nollställs resp. ett-ställs beroende på antalet ettor på ingångarna.

När antalet ettor in är jämnt så ett-ställs utgången och när antalet ettor in är udda noll-ställs utgången.

De båda paritetsbitarna grindas därefter till minnet, där de skrivs in.

Se 3.3.2.4 Paritetskontroll.

Vid paritetskontroll grindas paritetsbiten till ingångarna ODD och EVEN, se bild 3.4.32. Om paritetsbitarna är ett så blir ODD-ingången ett och EVEN-ingången noll.

Data-ingångarna måste alltså ha jämnt antal ettor för att ej felsignal skall avges. När pariteten är rätt kommer Σ ODD utgången att vara ett-ställd. Om någon av oktaderna signalerar felparitet kommer en puls att överföras till felregistret på IØCH via signalen PFELSU*.

<p>Namn DATOR D5/20 SERIE</p>	<p>Gäller för</p>	<p>Utgåva 1</p>	<p>Sida 3:130</p>
-----------------------------------	-------------------	---------------------	-----------------------

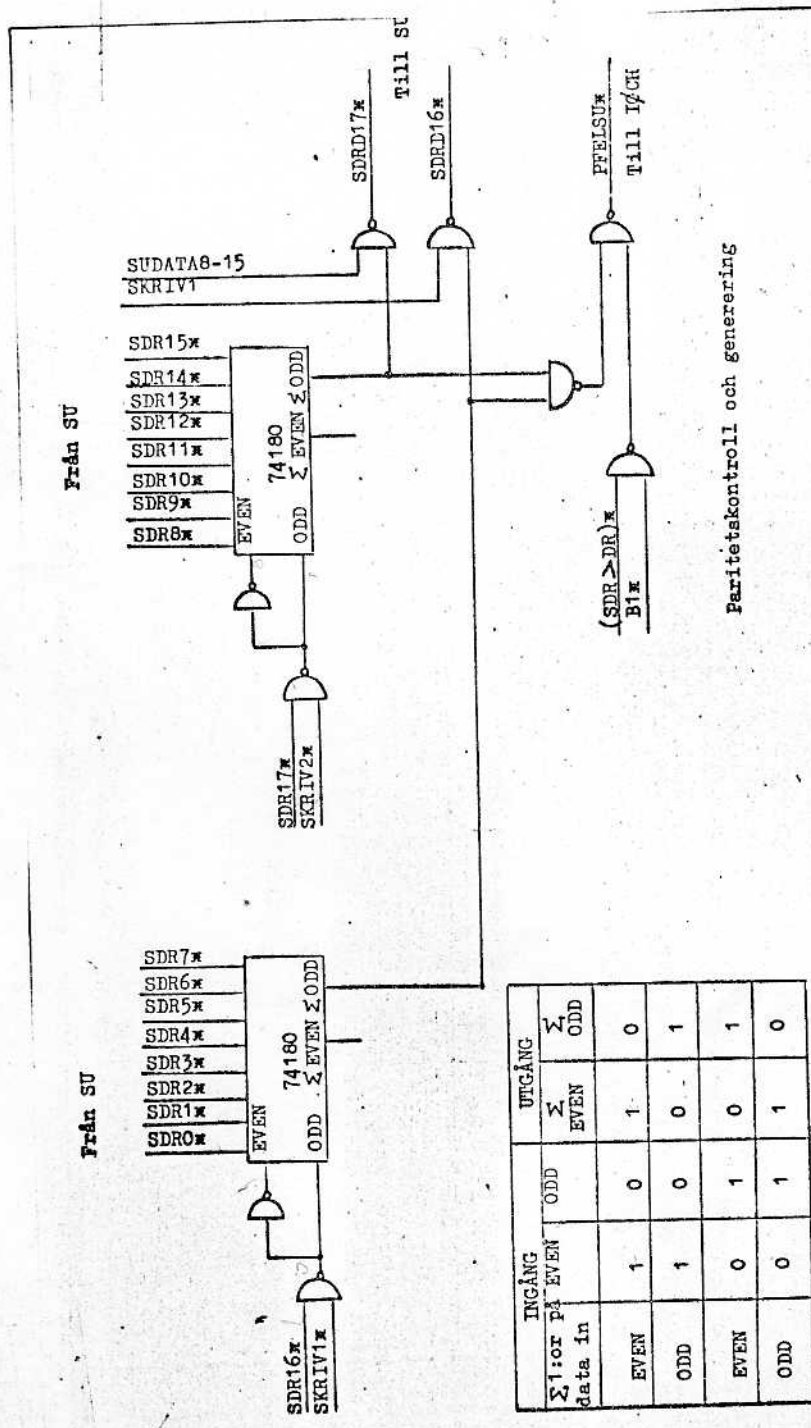


Bild 3.4.32 Paritetskontroll och generering

Namn DATOR D5/20 SERIE	Gäller för om	Utgåva 1	Sida 3:131
---------------------------	---------------	-------------	---------------

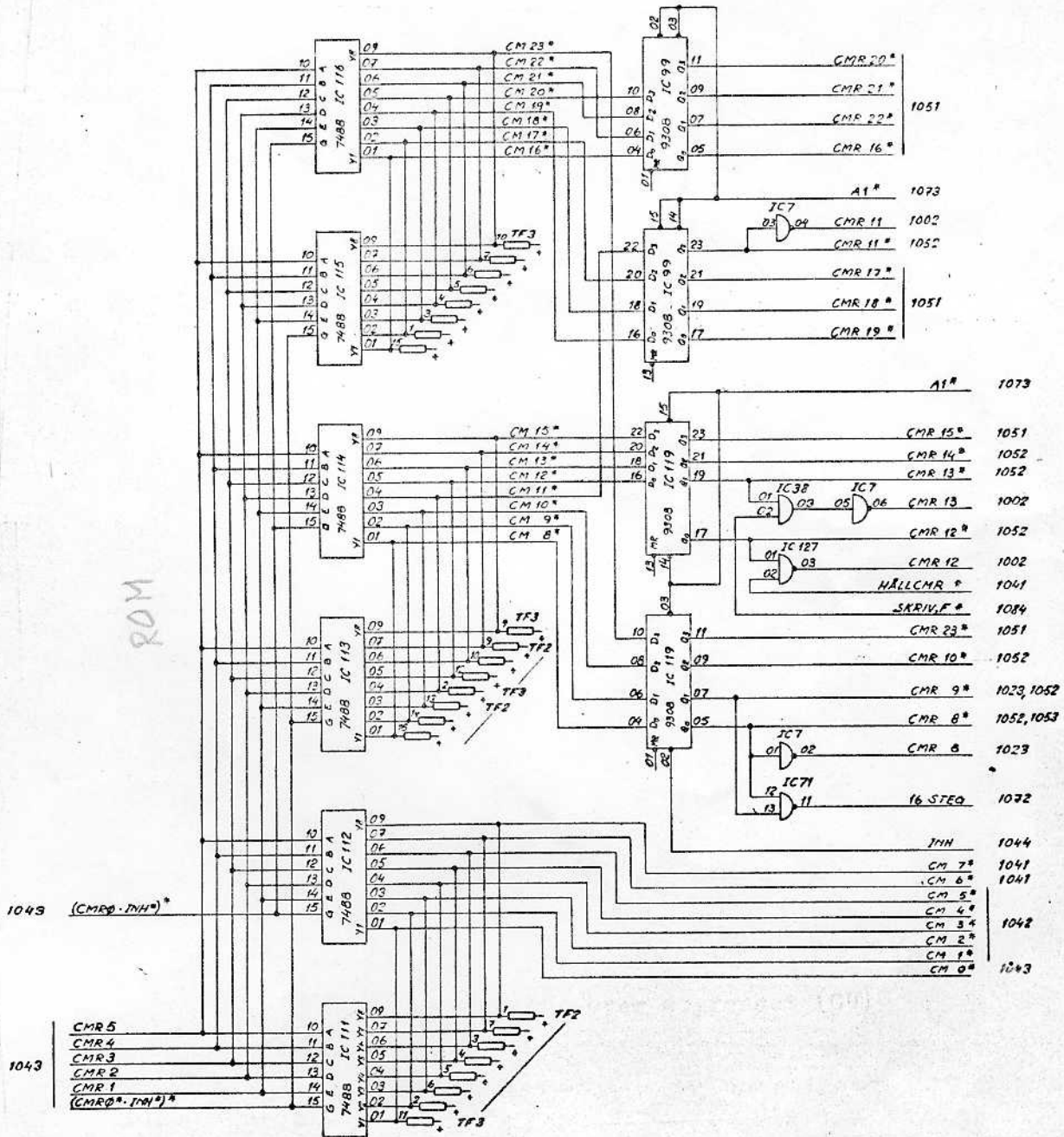


Bild 3.4.33 Principschema, funktion över styrenhet (CPU 103)

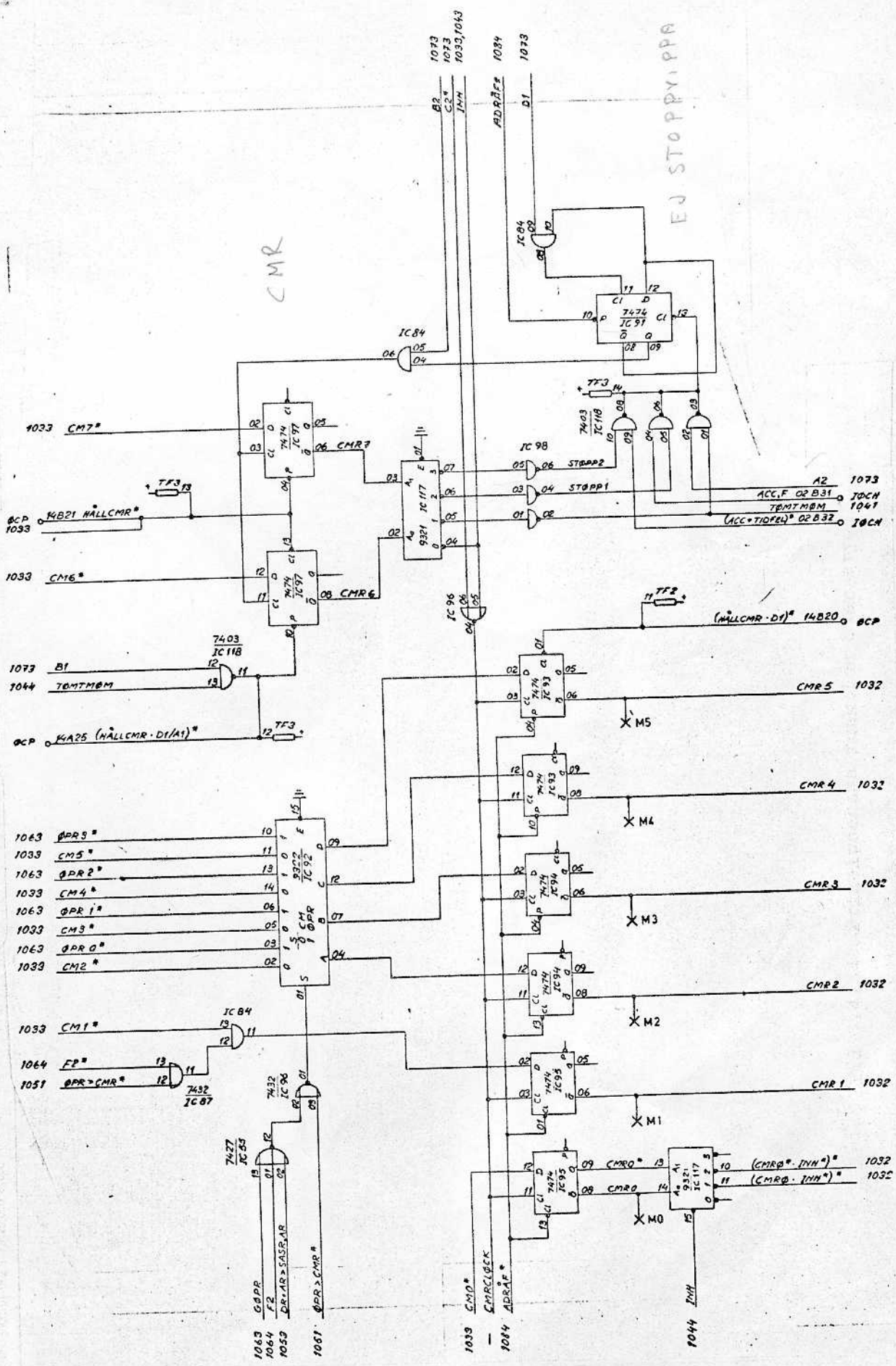


Bild 3.4.34 Principschema, funktion över styrenhet (CPU 104)

<p>Namn DATOR D5/20 SERIE</p>	<p>Gäller f o m</p>	<p>Utgåva 1</p>	<p>Sida 3:133</p>
-----------------------------------	---------------------	---------------------	-----------------------

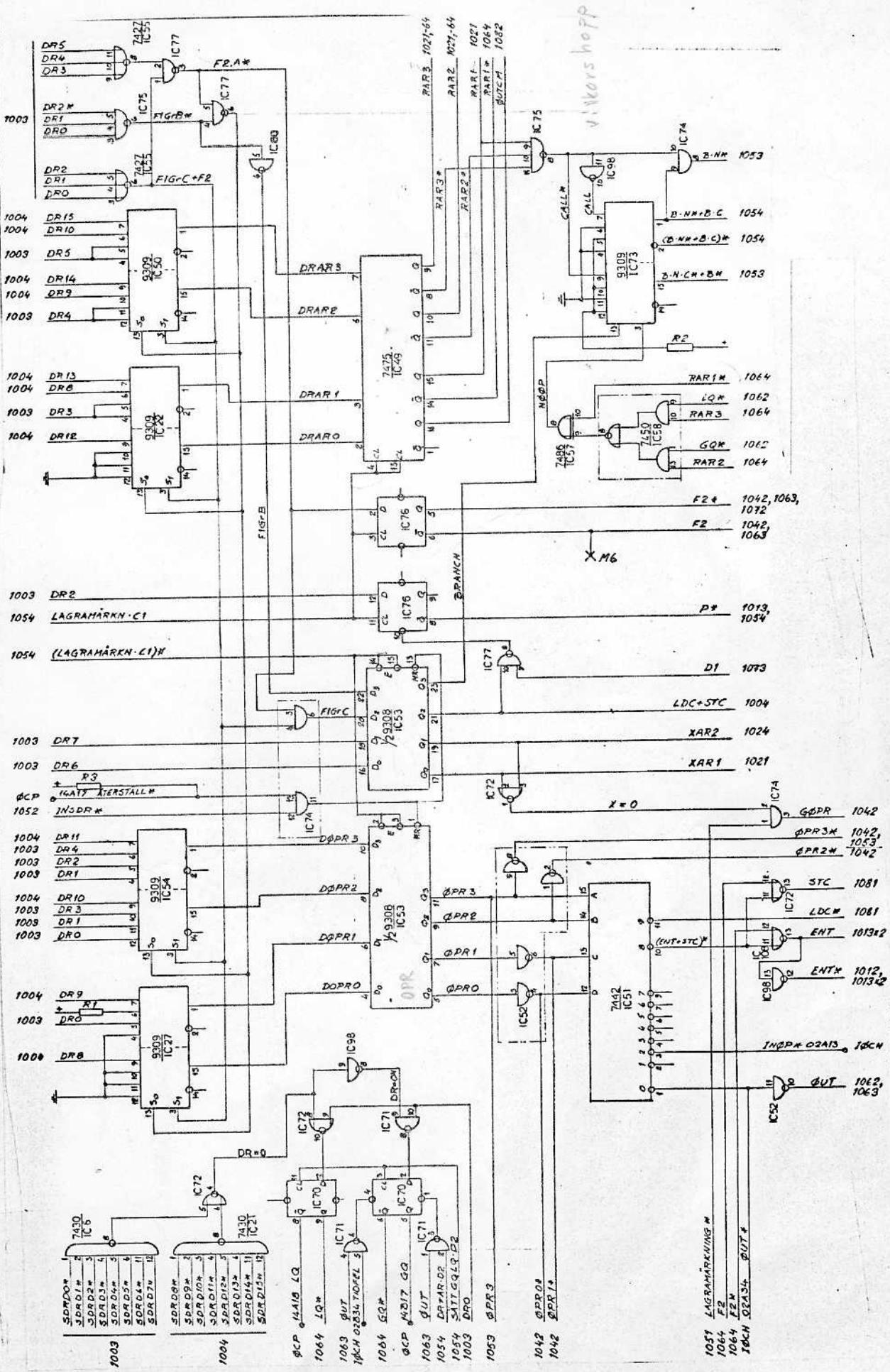


Bild 3.4.35 Principschema, funktion över märkning (CPU 106)

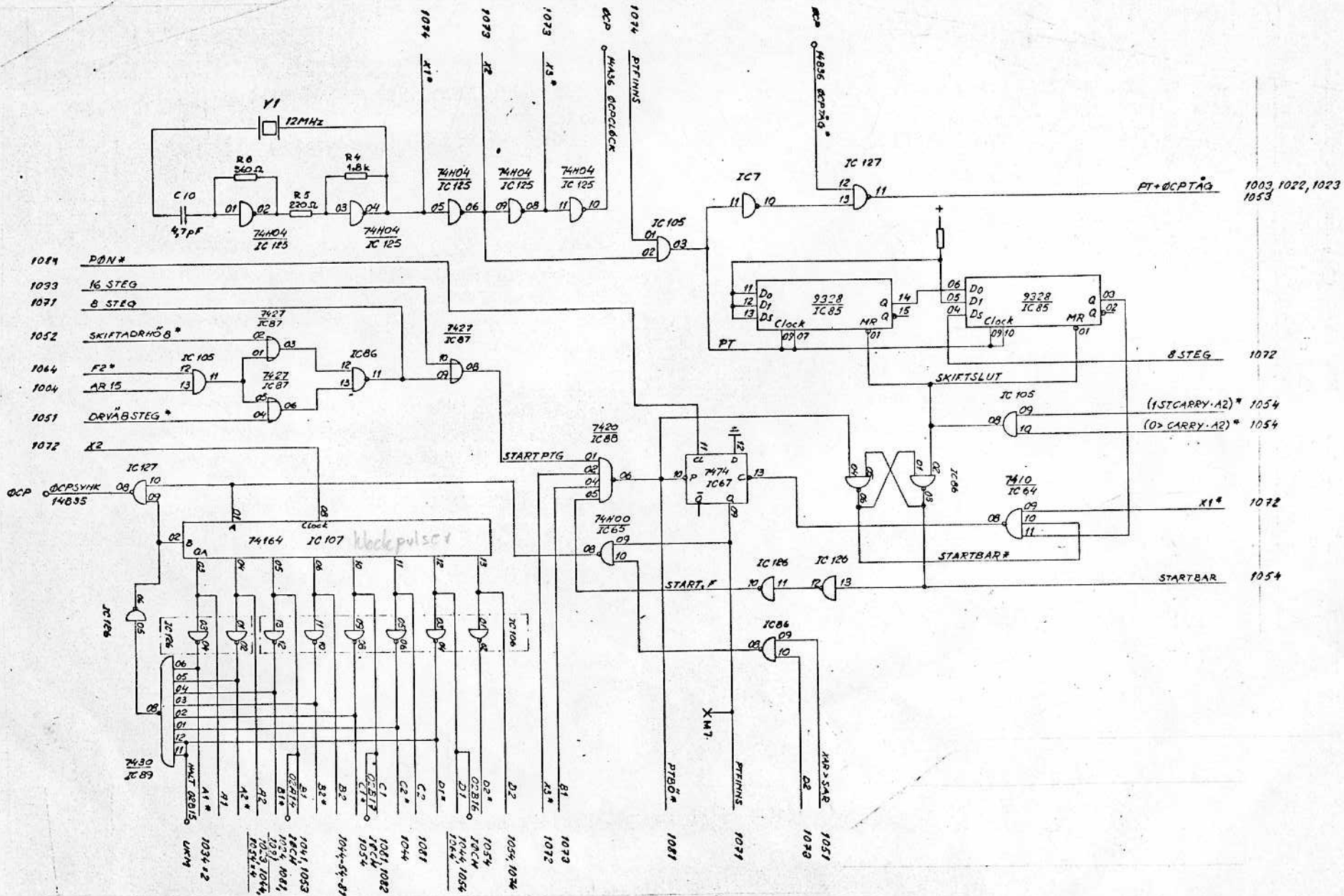


Bild 3.4.36 Principschema, funktion över klockpulsfabrik (CPU 107)

Namn
DATOR D5/20 SERIE

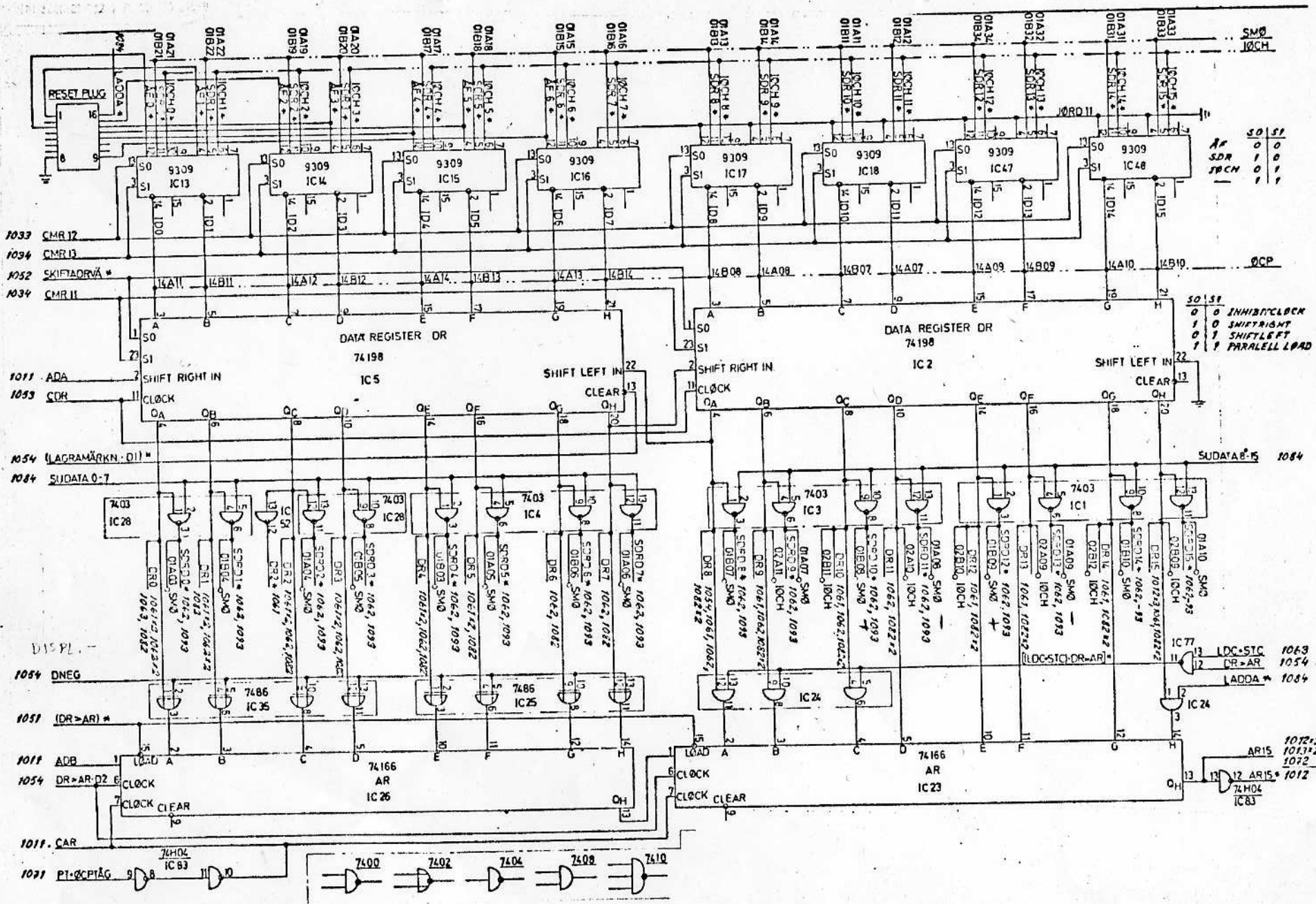


Bild 3.4.38 Principschema, funktion över registren DR och AR (CPU 100)

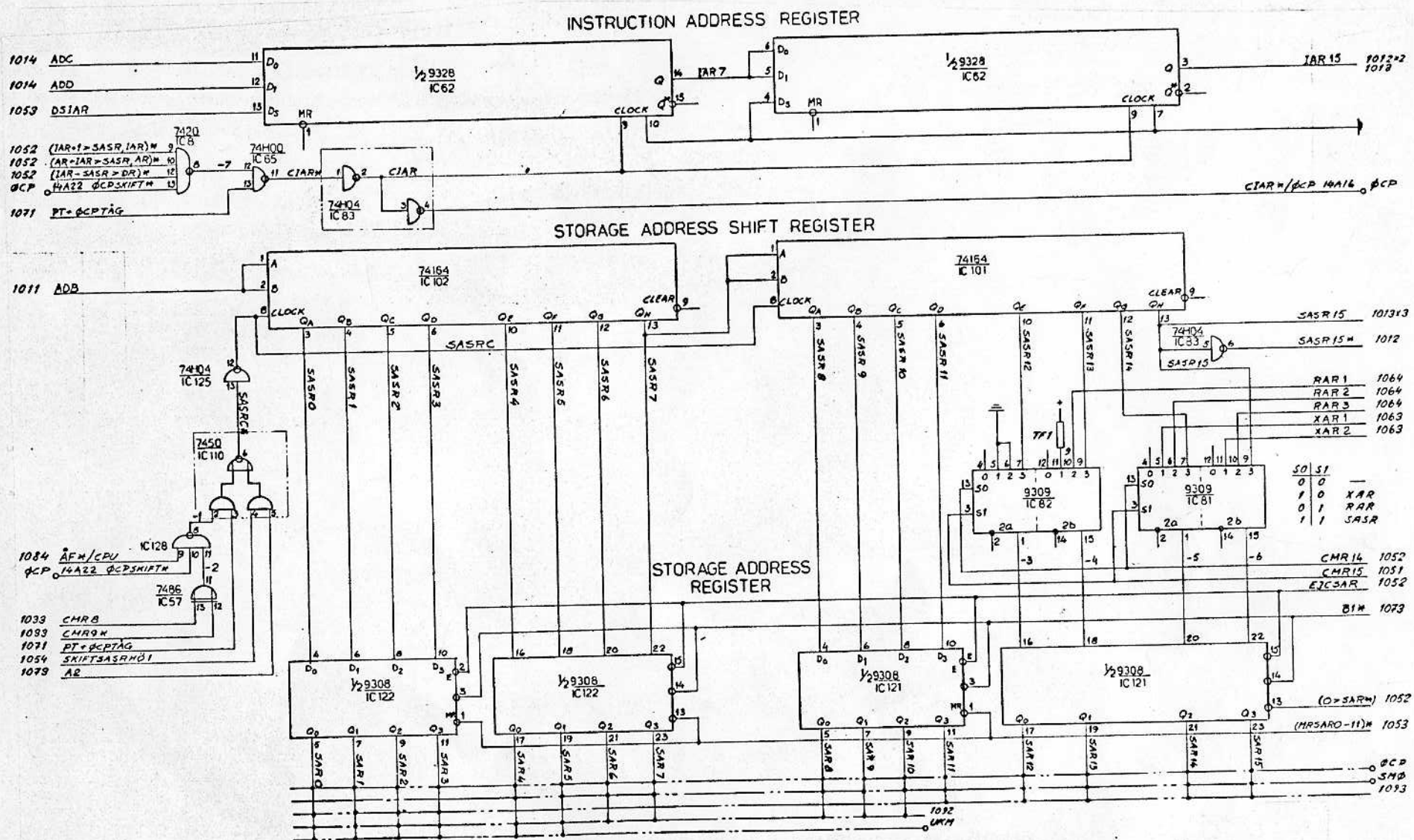


Bild 3.4.39 Principschema, funktion över registren SASR, SAR och IAR (CPU 102)

Namn	DATOR D5/20 SERIE
Gäller form	1
Utgåva	3:138
Sida	3:138

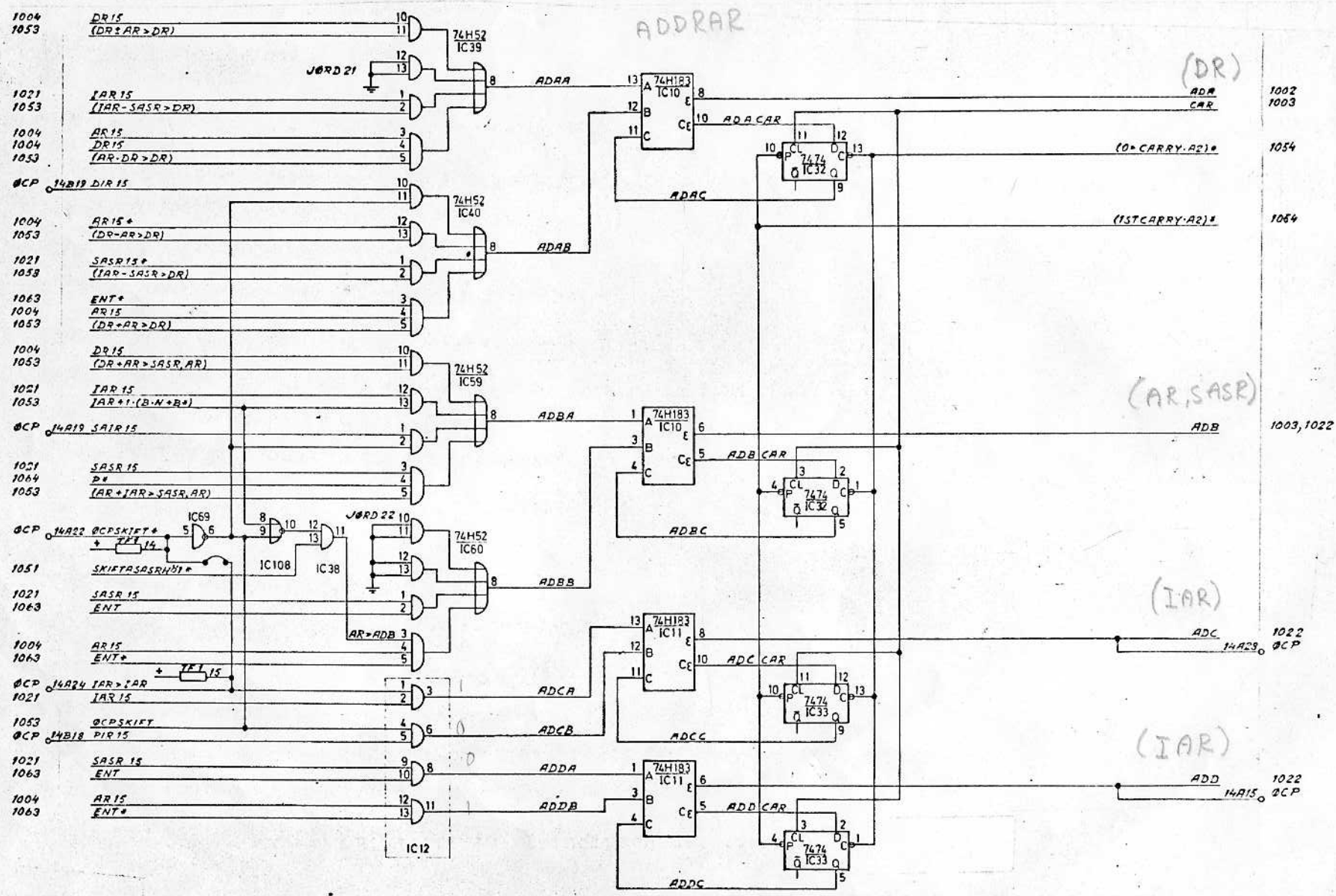


Bild 3.4.40 Principschema, funktion över aritmetik (CPU 101)

Namn DATOR D5/20 SERIE	Gäller för m	Utgåva 1	Sida 3:140
---------------------------	--------------	-------------	---------------

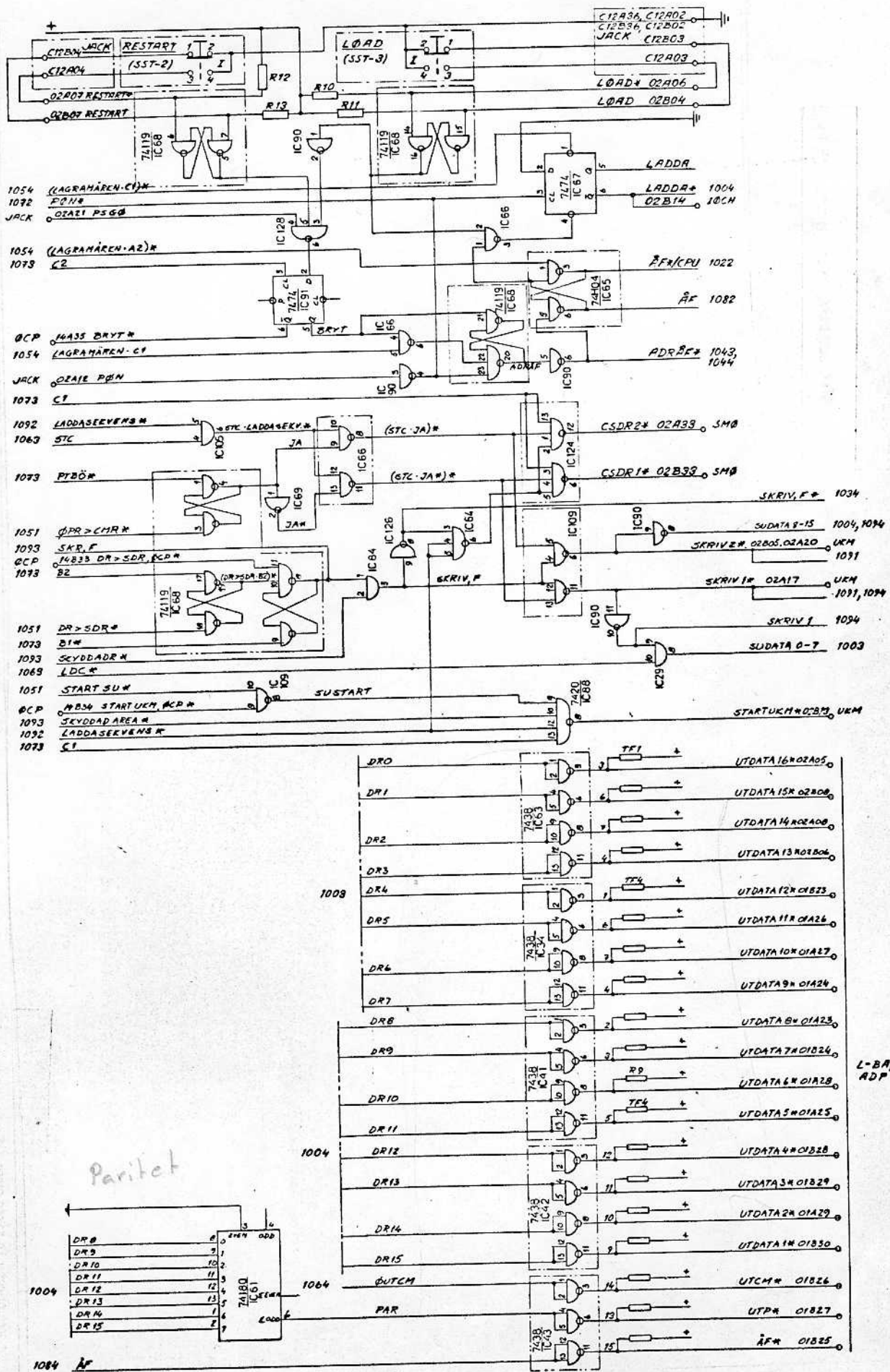


Bild 3.4.42 Principschema, funktion över knapp, minne och drivlogik (CPU 108)

Namn	Gäller för	Utgåva	Sida
DATOR D5/20 SERIE		1	3:141

3.5 In/ut-system (IØ)

Följande delar av systemet beskrivs nedan:

In/ut-kanalen (IØCH), in/ut-styraren (IØC-0), kortplattan (KP) och JACK-kk.

3.5.1 Uppbyggnad

3.5.1.1 In/ut-kanal (IØCH) Se bild 3.1.7 och 3.5.1.

IØCH är tillsammans med IØC-0 uppbyggt på ett 3/4 kk, som är pläterat på båda sidor. Kortets framkant är via två hylsblock anslutet till kortplattan (KP). Kretskortet står genom kortplattan i förbindelse med centralenheten samt anpassare för buss och yttre enheter. Kortets bakkant är försett med ett vinkelskarvdon för omkoppling av adress och anrop för ADP. Elektroniken är uppbyggd av 40 st DIP-kapslar, 6 st motståndskapslar i TF samt ett mindre antal diskreta komponenter.

3.5.1.2 In/ut-styrare (IØC-0)

Se 3.5.1.1.

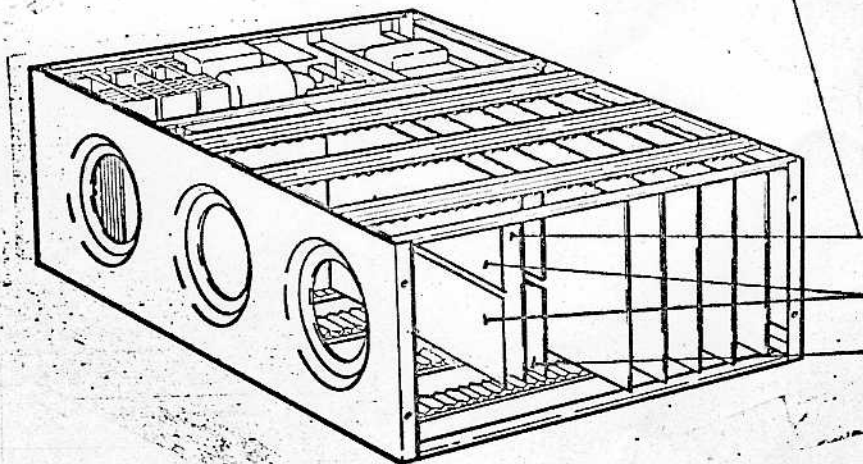
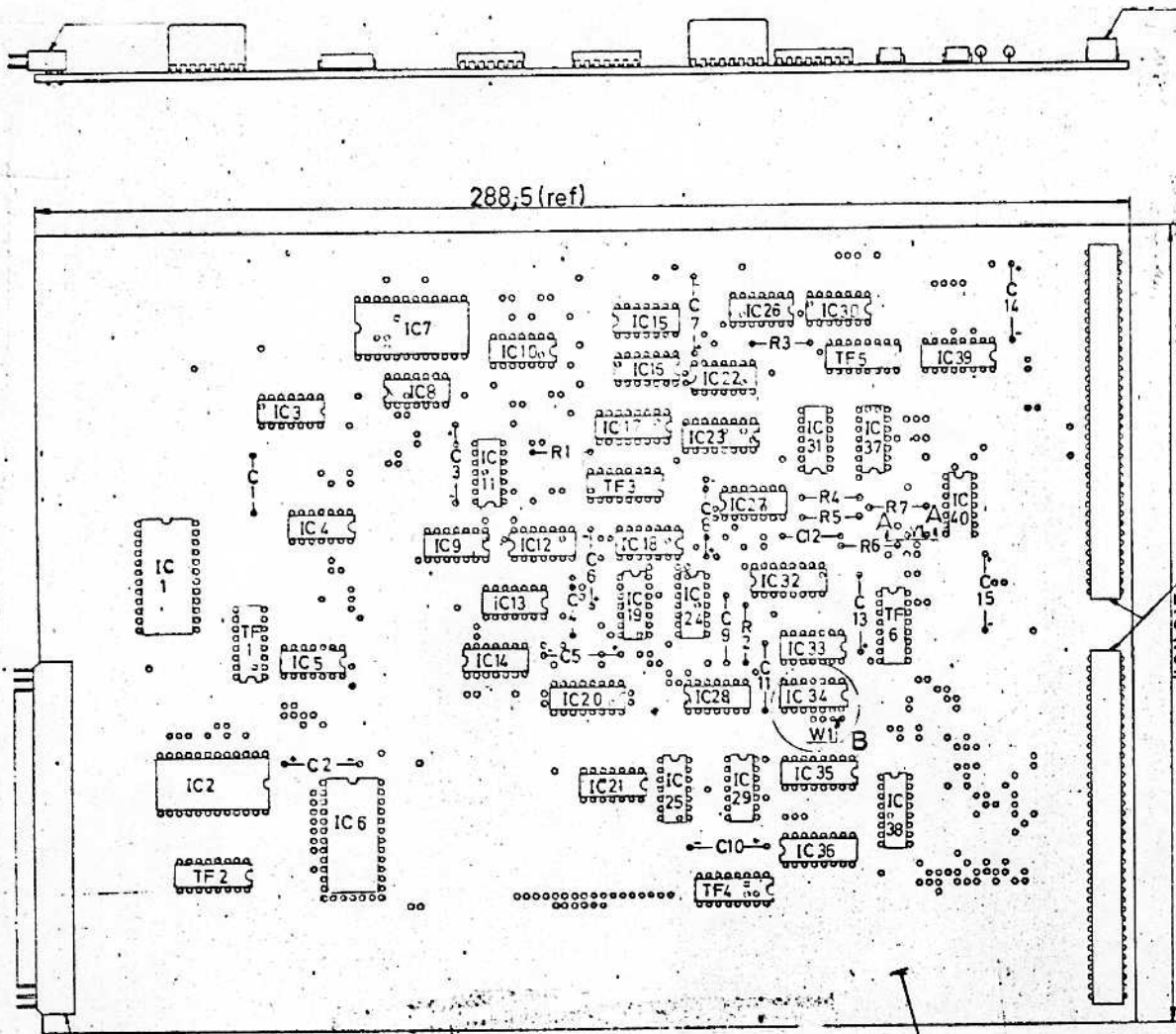
3.5.1.3 Kortplatta (KP)

Se 3.1.1.3.

3.5.1.4 JACK-kort Se bild 3.1.9 och 3.5.1

JACK-kortet är blindkort. Kortet utgör fäste för kablage som vid kortets främre ände ansluts till kortplattan och vid dess bakre ansluts till omkopplare och hylspropp i datorns bakre mittplåt.

Namn	Gäller för	Utgåva	Sida
DATOR D5/20 SERIE		1	3:142



IØCH/IØC KK

L-BA eller L-NA KK

JACK-kort

Bild 3.5.1 IØCH/IØC-0 KK. Placering och uppbyggnad

Namn	Gäller för	Utgåva	Sida
DATOR D5/20 SERIE		1	3:143

3.5.2 Funktion

3.5.2.1 In/ut-kanal (IØCH)

IØCH svarar för styrning och kontroll av informationsflödet mellan centralenheten (CPU) och yttre enheter (PU). Se bild 3.5.2.

Anrop från yttre enhet presenteras för programmet i ett indikeringsregister (SR) i IØCH. Vid direkt adressering lagras utgående adress i ett adressregister (ASR) i IØCH.

Dataflöde från CPU passerar ej IØCH utan överförs direkt till PU. Däremot kontrolleras data från PU till CPU av IØCH.

Pariteten över datapositioner och paritetsbit skall härvid vara udda.

Fel indikeras tillsammans med data.

Ett externt felregister (EER) i IØCH lagrar felindikeringar, som anger såväl försök till skrivning i skrivskyddad area som paritetsfel i minnet (SU). EER återfinns på adress 0.

Namn DATOR D5/20 SERIE	Gäller f o m	Utgåva 1	Sida 3:144
---------------------------	--------------	-------------	---------------

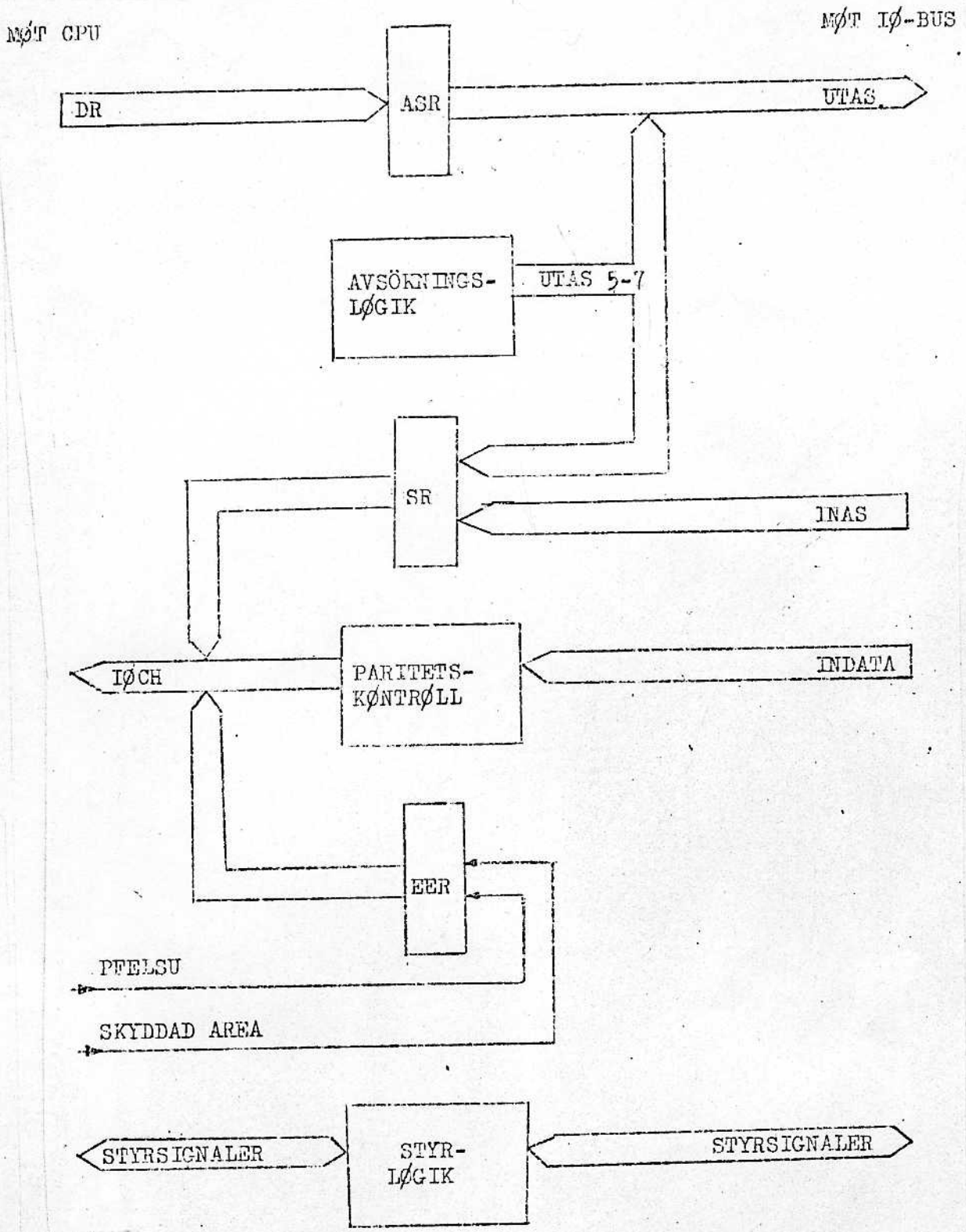


Bild 3.5.2 Blockschema över IØCH

Namn	Gäller för	Utgåva	Sida
DATOR D5/20 SERIE		1	3:145

Förlopp vid betjäning av yttre enheter (PU). Se bild 3.5.3

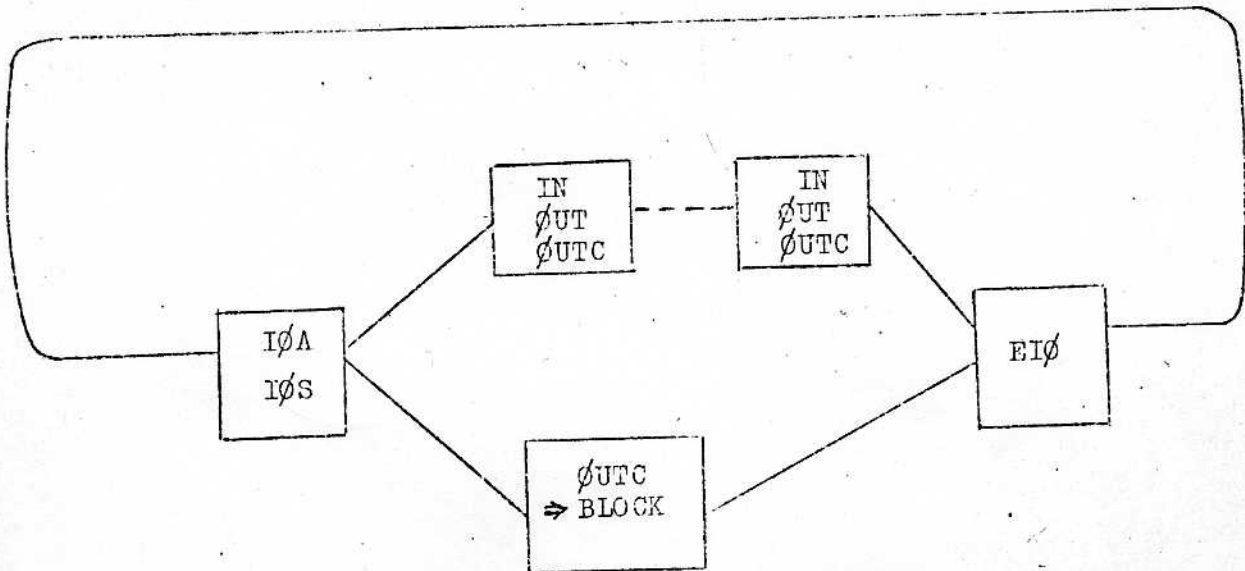


Bild 3.5.3 IØ-betjäning.

IOA

Vid direkt adressering av yttre enhet överföres först adress från DR i CPU till ASR i IØCH, se bild 3.5.2 och 3.5.4. Adressbitarna, (DR9-15), lagras i ASR med en puls DR > ASR. Pulsen sätter dessutom en PRI-vippa¹⁾, som anger att programinitierad överföring startats. Från vippan genereras PRIV²⁾, vilken blockerar all annan aktivitet på IØCH kk.

Adressen i ASR, (UTAS 1-7), grindas av PRIV ut till anslutna IØC, där den avkodas. Adressen ligger sedan kvar tills EIØ eller ÅF via ÅST återställer PRI-vippan.

- 1) PRI = Programinitierad
- 2) PRIV = Programinitierad verksamhet

Namn DATOR D5/20 SERIE	Gäller för	Utgåva 1	Sida 3:146
---------------------------	------------	-------------	---------------

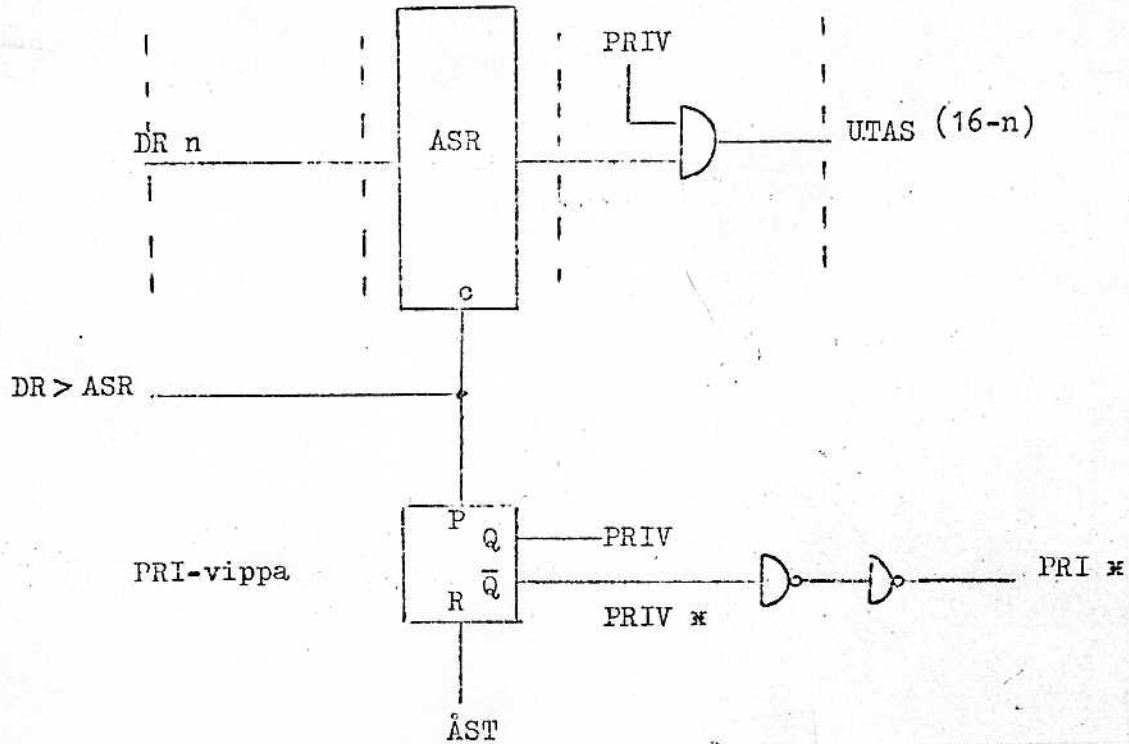


Bild 3.5.4 Adressregister (ASR)

Anropsavsökning (Polling)

När ingen programinitierad verksamhet pågår sker en automatisk avsökning av varje IØC för kontroll om anslutna PU anropar IØ-systemet.

En binär räknare, vars utgångar ger IØC-adress, stegas successivt fram tills anrop påträffas. Se bild 3.5.5.

En med tidsfördröjning återkopplad vippa anger tempo för avsökningscykeln.

Under tiden vippan är ett-ställd stegas räknaren fram. Därefter återställs vippan. Q-utgång = SLCT följer adressbitarna 5-7 till IØC.

Om anrop ligger på, svarar IØC med INAS 1-4, som utgör PU-adress, och AS. AS fördröjes t_2 , varefter AS,F blockerar ytterligare sättning av vippan samt ny stegning av räknare.

t_1 anger den tid IØC har på sig för att svara på avsökningen. Se bild 3.5.6.

Nu finns komplett PU-adress lagrad i det fiktiva indikeringsregistret (SR). Utlagd IØC-adress kvarligger därefter ända tills EIØ eller ÅF uppträder.

Inkommer ingen AS sätts alltså vippan på nytt efter tiden t_1 , varvid ny IØC avfrågas.

Namn DATOR D5/20 SERIE	Gäller för	Utgåva 1	Sida 3:147
---------------------------	------------	-------------	---------------

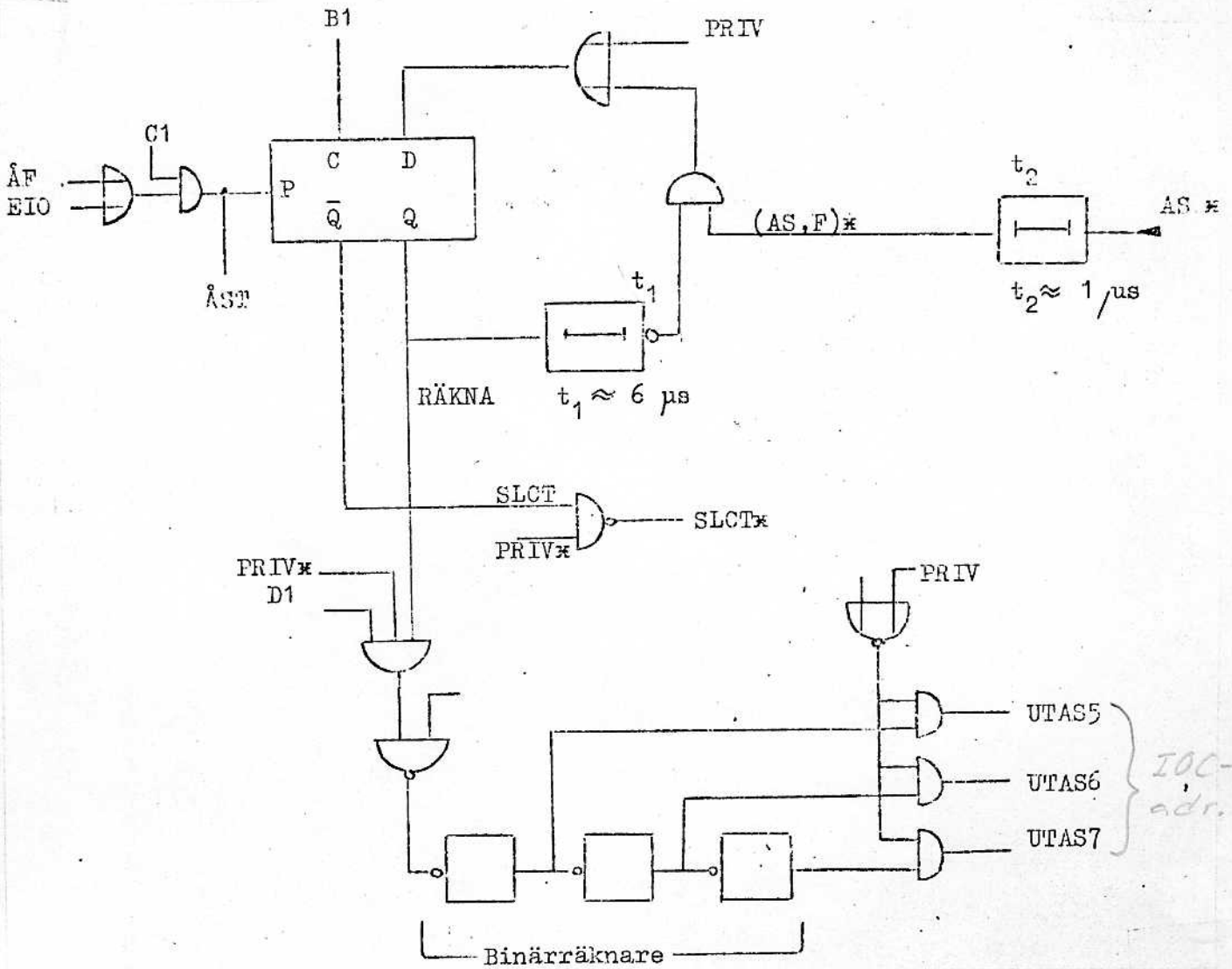
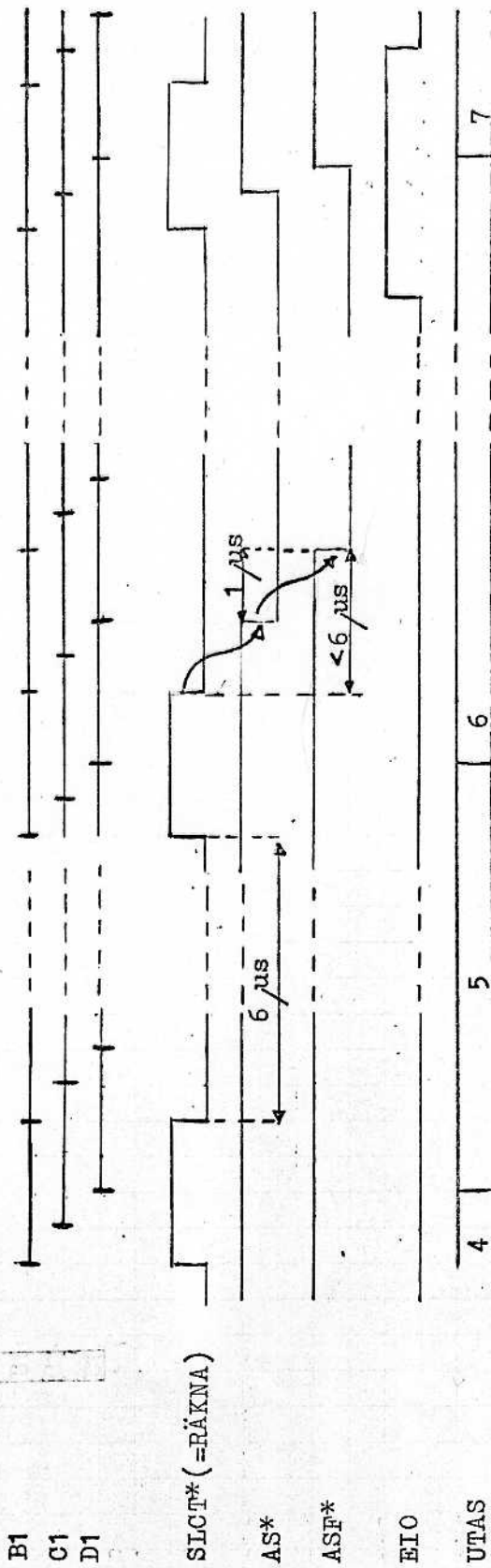


Bild 3.5.5. Logik för anropsavsökning

Namn DATOR D5/20 SERIE	Gäller för m	Utgåva 1	Sida 3:148
---------------------------	--------------	-------------	---------------



ANROP MED
PÅFÖLJ. BETJÄN. AV IOC-6

INGET ANROP
I IOC-5

Bild 3.5.6 Pulsdiagram för anropsavsökning

Namn DATOR D5/20 SERIE	Gäller för	Utgåva 1	Sida 3:149
---------------------------	------------	-------------	---------------

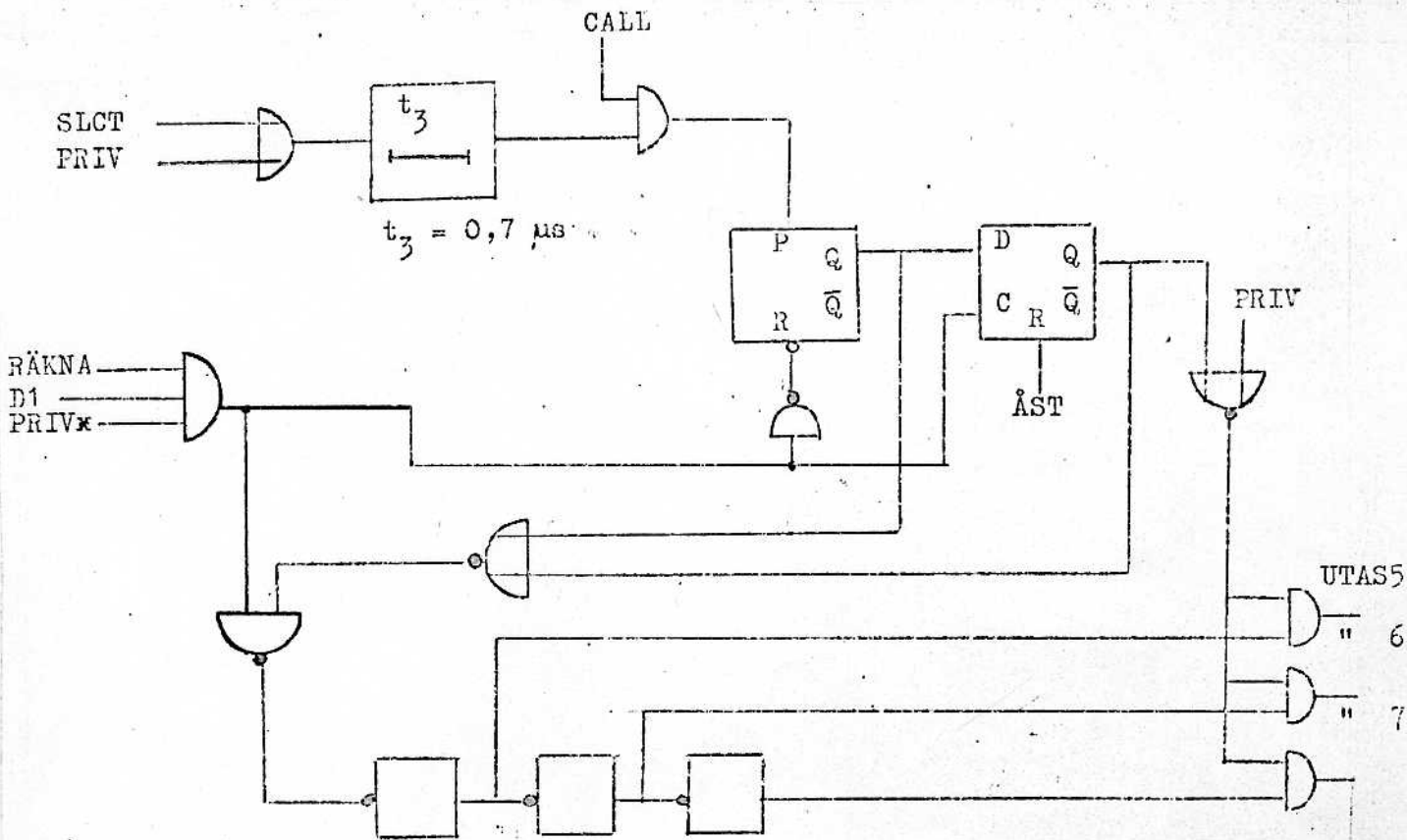


Bild 3.5.7 Logik för anropsansökning av IØC-0

IØC-0 har vid anropsavsökningen en särställning. Utöver de gånger IØC-0 anropas, då adressräknarens utgång är "noll", kan den bli betjänad mellan två godtyckliga IØC-avsökningar.

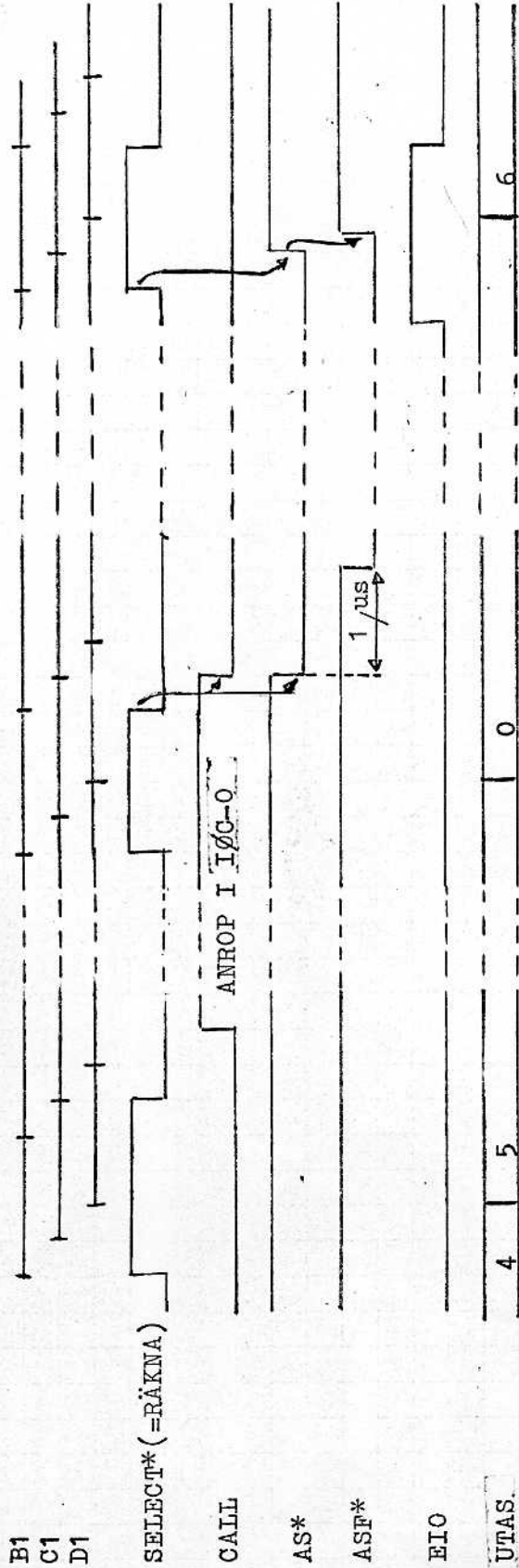
IØC-0 är försedd med en intern anropssignal, CALL, som sätter en vippa i IØCH. Se bild 3.5.7. Ett-tillståndet på denna vippa förhindrar nästkommande RAKNA-puls att nå räknaren, pulsen får i stället sätta en andra vippa, som genererar anrop till IØC-0. På så vis kan IØC-0 få betjäning i följande ordning:

0102 osv (IØC-adress) ¹⁾

Grunden för CALL är fördröjd tiden t_3 i förhållande till SLCT. Detta innebär, att CALL-anrop ³ ej skall kunna registreras efter ett föregående anrop av samma typ (övriga IØC skall ej kunna utestängas av aktiv IØC-0).

1) Understruken siffra anger adressräknarens läge.

Namn DATOR D5/20 SERIE	Gäller för m	Utgåva 1	Sida 3:150
---------------------------	--------------	-------------	---------------



INGET ANROP
I IØC-5

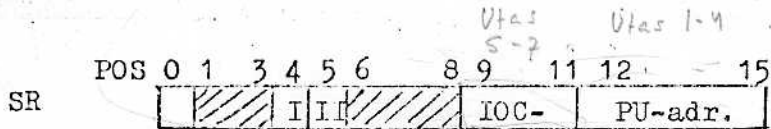
BETJÄNING AV
IØC-0

Bild 3.5.7a Pulsdiagram för anropsavsökning av IØC-0

Namn DATOR D5/20 SERIE	Gäller för m	Utgåva 1	Sida 3:151
---------------------------	--------------	-------------	---------------

IOS

Indikeringsregistret (SR) innehåller, vid registrerat anrop från PU, komplett IØC- och PU-adress.



- Pos 0 är 1 då SR innehåller PU-adress
- " 4 sättes av knappen Yttre Val I
- " 5 " " " Yttre Val II, obs: ej inkopplad
- " 9-11 innehåller aktuell IØC-adress
- " 12-15 " anropande PU:s adress

CPU hämtar in informationen i SR genom att registrera tillståndet på IØCH 0-15.

OUT, OUTC

Vid utmatning sänder CPU data på DR 8-15, vilka tillsammans med paritetsbit och ev. CM-bit föres direkt till IØC/ADP via KP.

ØUT och IØ-GRIND från CPU ger i IØCH signalen UT, vilken går till ADP. Se bild 3.5.8. ØUT = UTDATA > DB går till busskretsar.

När data är mottaget sänder ADP signalen ACC som kvittens till IØCH. ACC fördröjes tiden t_4 , varefter den sänds till CPU som ACC,F.

Signalen UT startar en tidskrets, med tiden t_5 , vilken anger maximal väntetid för svar från PU.

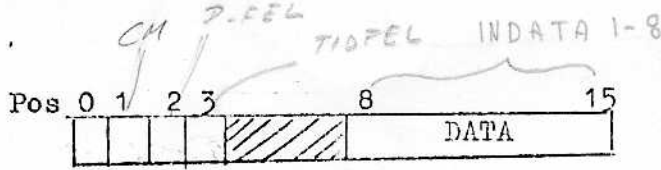
Har tiden gått ut erhålles signalen TIDFEL, som sänds till CPU.

IN

På motsvarande sätt som i ØUT, ØUTC genererar CPU signalerna INØP och IØ-GRIND. Dessa bildar signalen IN, som går ut till ADP. Se bild 3.5.8.

ADP svarar med INDATA 1-8, INPAR och ev. INCM. Tillsammans med dessa följer ACC. När ACC,F når CPU grindas databussens information till IØCH 0-15..

Namn	DATOR D5/20 SERIE
Gäller för	



*Grindas till IOCH 0-15
när ACC,F när CPU*

- Pos 1 är 1 då INCM=1
- " 2 är 1 då P-FEL detekteras på INDATA 1-8
- " 3 är 1 då TIDFEL uppträder
- " 0 är 1 då pos. 1, pos. 2 eller pos. 3 är 1

OBS. Då både TIDFEL och PFEL uppträder indikeras endast TIDFEL.

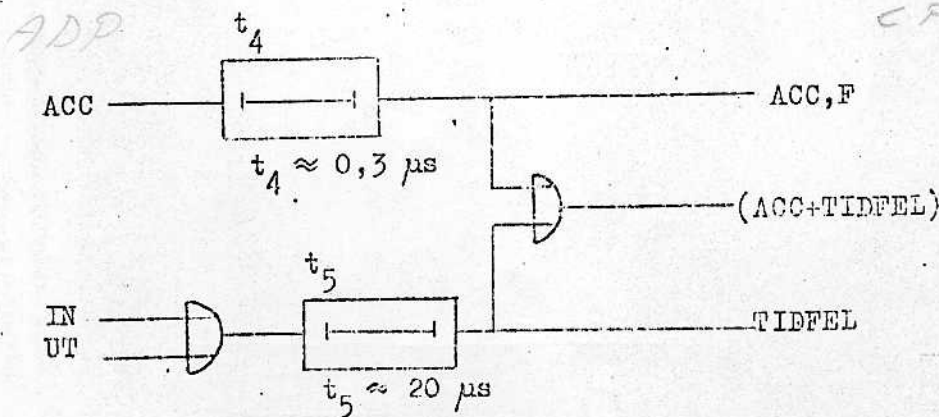
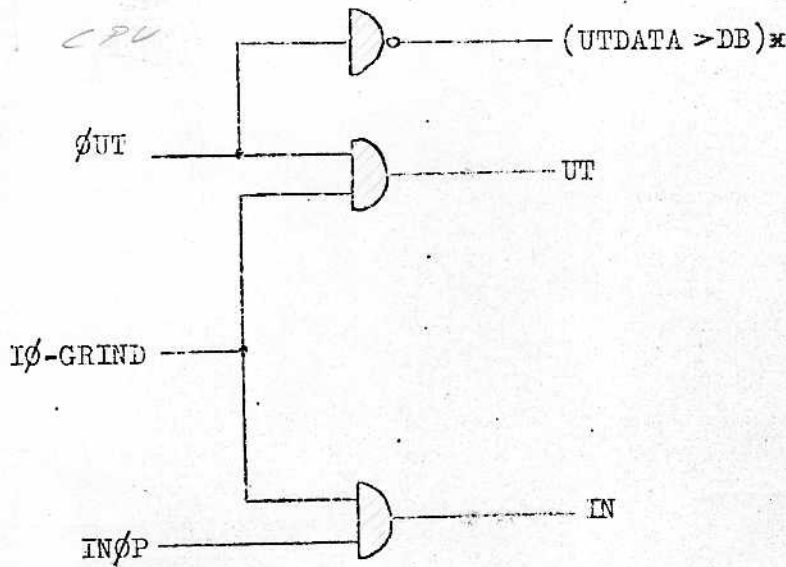


Bild 3.5.8 Logik för in- och utmatning

Namn	Gäller för	Utgåva	Sida
DATOR D5/20 SERIE		1	3:153

EIØ

En dataöverföring avslutas alltid med EIØ. En signal EIØ sändes från CPU. Denna signal tillsammans med klockpuls genererar signalen ÅST.

ÅST, bildas av
EIØ och ÅF
eller

ÅST startar upp ny anropsavsökning, återställer vippor för IØC-0-adress och signal PRIV. Se bild 3.5.5 och 3.5.7.

ÅF

Återföringssignal sänds från CPU vid störningar i kraftförsörjning eller genom manuellt ingripande. ÅF bildar liksom EIØ signalen ÅST.

EER (External Error Register = Felregister)

EER är ett register som lagrar felindikationer om paritetsfel i minnet och brott mot skrivskydd förekommer. EER är placerat på IØCH/IØC-0 k-k och adresseras av programmet med adress 0. Registret återställs efter varje intagning. EER ger inget anrop vid sättning. Se bild 3.5.9.

PFELSU INDATA 8 (pos. 8)
SKYDDAD AREA " INDATA 9 (pos. 9)

Paritetsfelindikering i SU är en tillsats. Utan den erforderliga logiken för denna feldetektering riskerar pos. 8 i EER att sättas av störpulser. Därför måste signalen PFELSU passera en bygling på IØCH/IØC-kk.

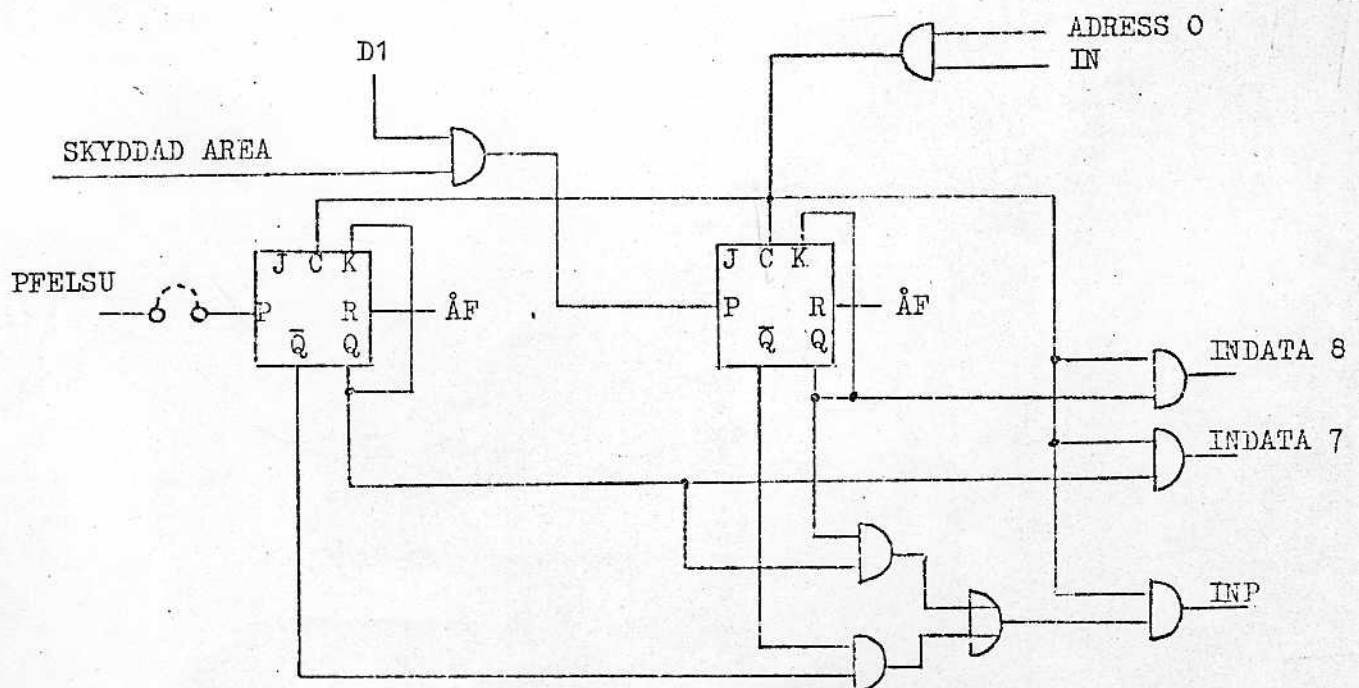
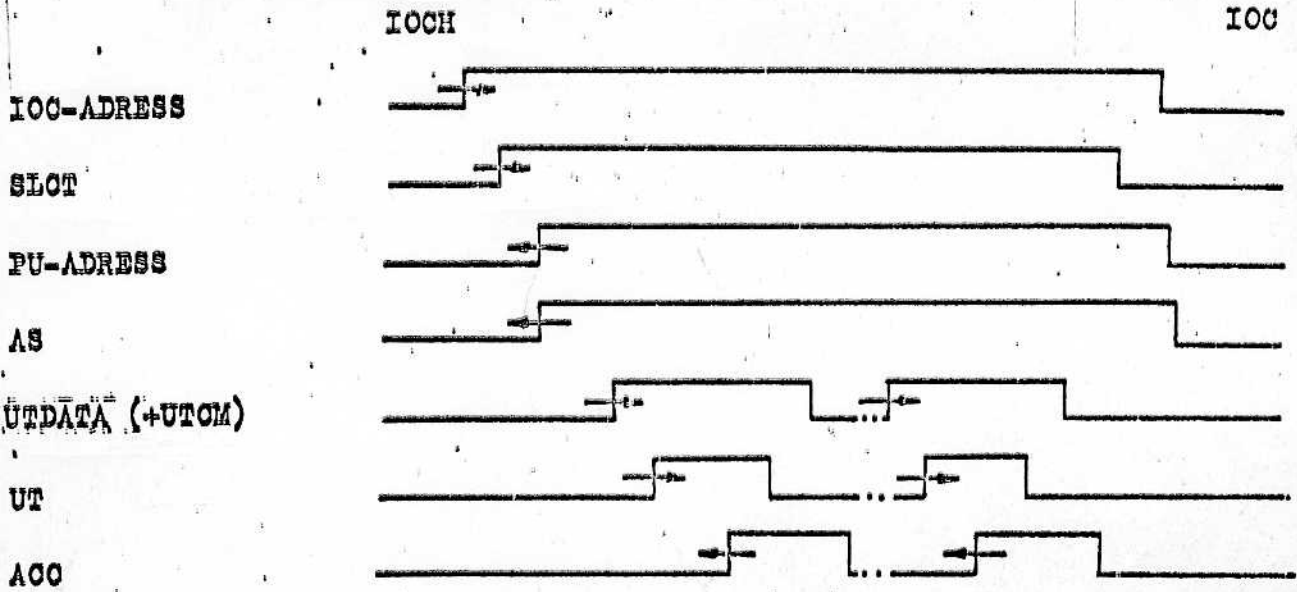


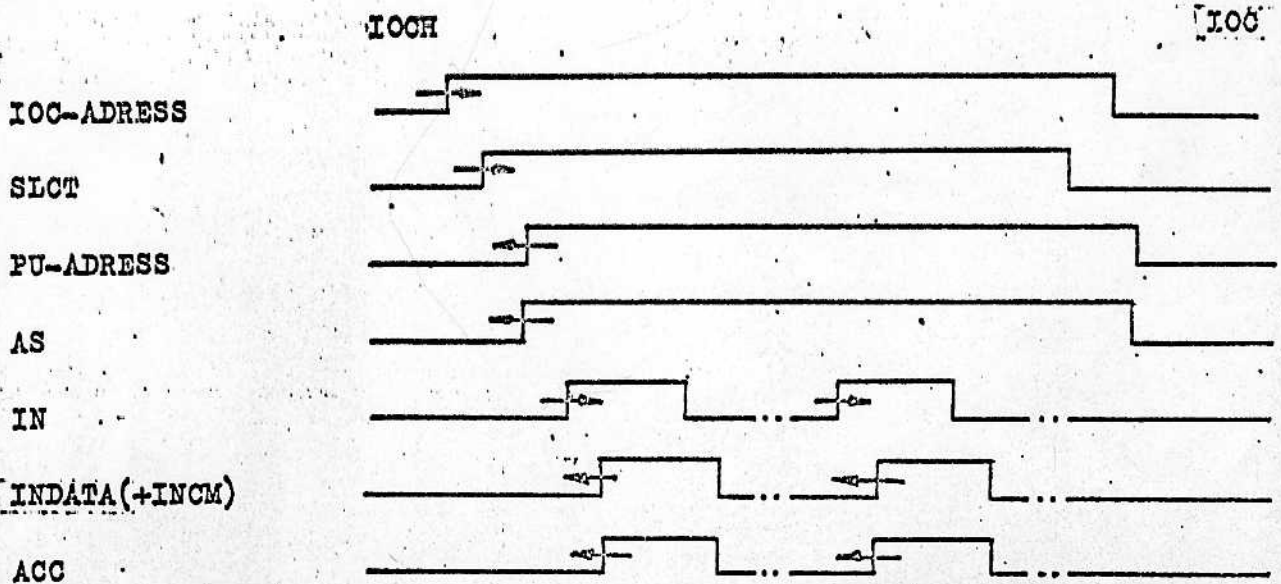
Bild 3.5.9 Felregister (EER)

Namn	Gäller f o m	Utgåva	Sida
DATOR D5/20		1	3:154



T11027

PU-initierad utmatning

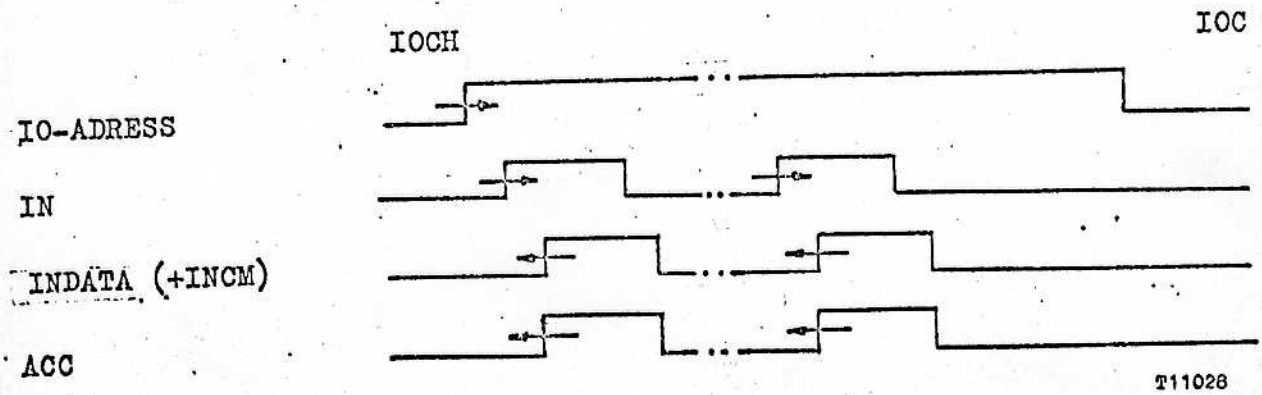


T10962

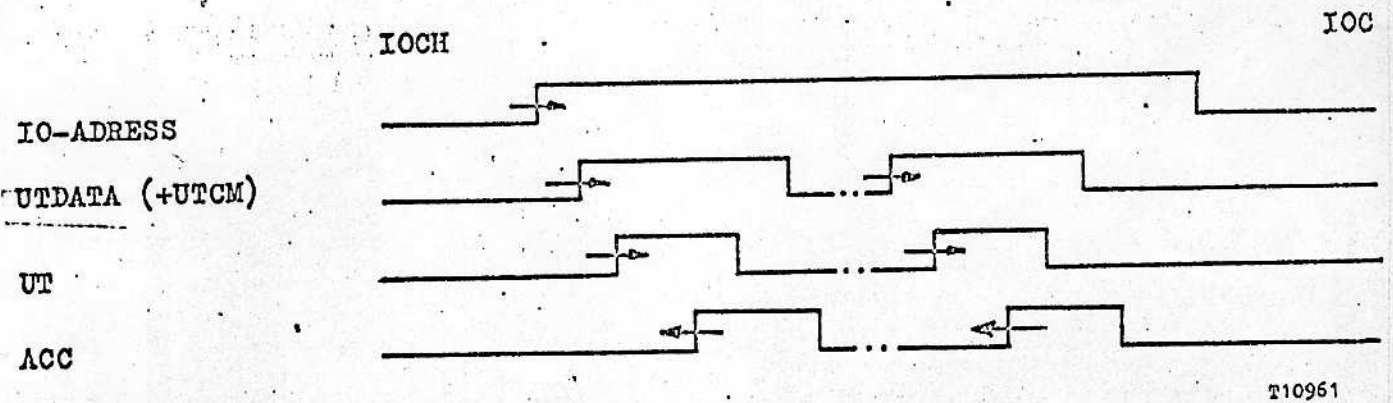
PU-initierad inmatning

Bild 3.5.10 Pulsdiagram för snitt IØCH/IØC

Namn DATOR D5/20 SERIE	Gäller för	Utgåva 1	Sida 3:155
---------------------------	------------	-------------	---------------



Programinitierad inmatning



Programinitierad utmatning

Bild 3.5.11 Pulsdiagram för IØCH/IØC

Namn DATOR D5/20 SERIE	Gäller fo m	Utgåva 1	Sida 3:156
---------------------------	-------------	-------------	---------------

3.5.2.2 In/utstyrare (IØC-0) Se bild 3.5.12 och 3.5.13

IØC-0 svarar för avkodning av UTAS 1-7. UTAS 5-7 anger IØC-adress medan UTAS 1-4 anger PU-adress. PU-adressavkodaren har 16 unika ADRESS-utgångar, en till varje ADP.

Vid IØA sänds hela UTAS 1-7 från IØCH och ligger sedan statisk fram till EIØ eller ÅF.

Vid anropsavsökning sänds endast UTAS 5-7 samt SLCT till till IØC. Dessa två signaler bildar signalen UTV (utvald).

Anrop från ADP låses genom lagring i ett register med UTV. Detta registers utgång leder till en prioriterande adressavkodare. Anrop med lägst nummer får högsta prioritet i avkodaren, som avger ADP-adressen kodad i fyra bitar: INAS 1-4.

En utgång på adressavkodaren ett-ställs om någon ingång är ett-ställd. Denna etta ger med UTV även signalen AS till IØCH.

Anropsregistret är när UTV är noll helt transparent, varför ett anrop alltid ger en ett-ställning på ovannämnda utgång i adressavkodaren. Denna utgång och UTV * ger den interna CALL-signalen.

INAS 1-4 återkopplas till adressavkodaren så att ADRESS-signal går ut till anropande ADP, vilket anger att denna ADP har blivit utvald för betjäning. Övriga ADP som anropar får vänta till nästa gång IØC kan avge en CALL eller blir avsökt för anropsregistrering. IØC-adress kvarligger under hela tiden för betjäning. När adressen kopplas ner är också överföringen slut. Hos ADP indikeras detta genom att ADRESS faller.

Namn DATOR D5/20 SERIE	Gäller för	Utgåva 1	Sida 3:157
---------------------------	------------	-------------	---------------

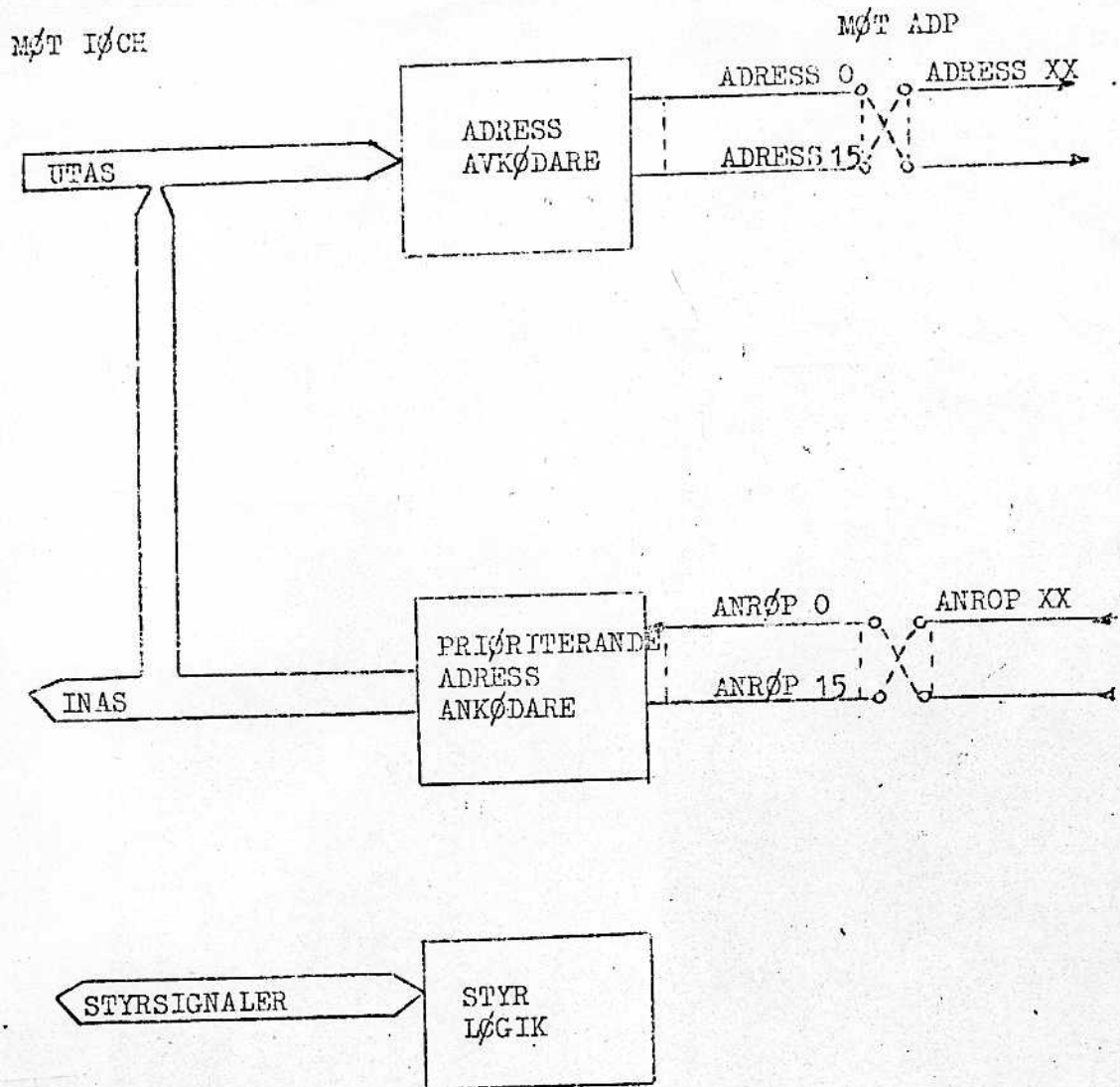


Bild 3.5.12 Blockschemat över IQC-0

Namn	Gäller för	Utgåva	Sida
DATOR D5/20 SERIE		1	3:158

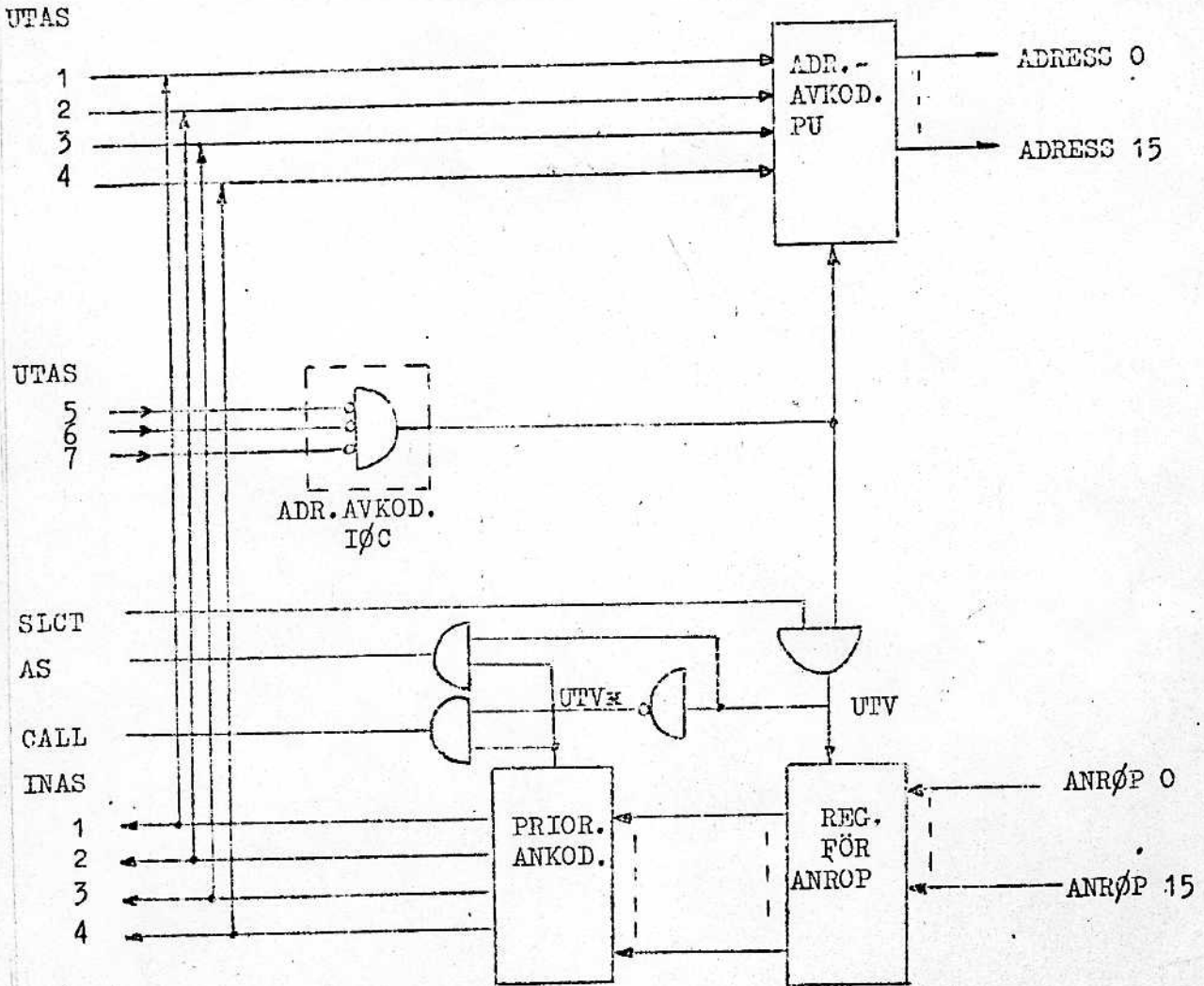
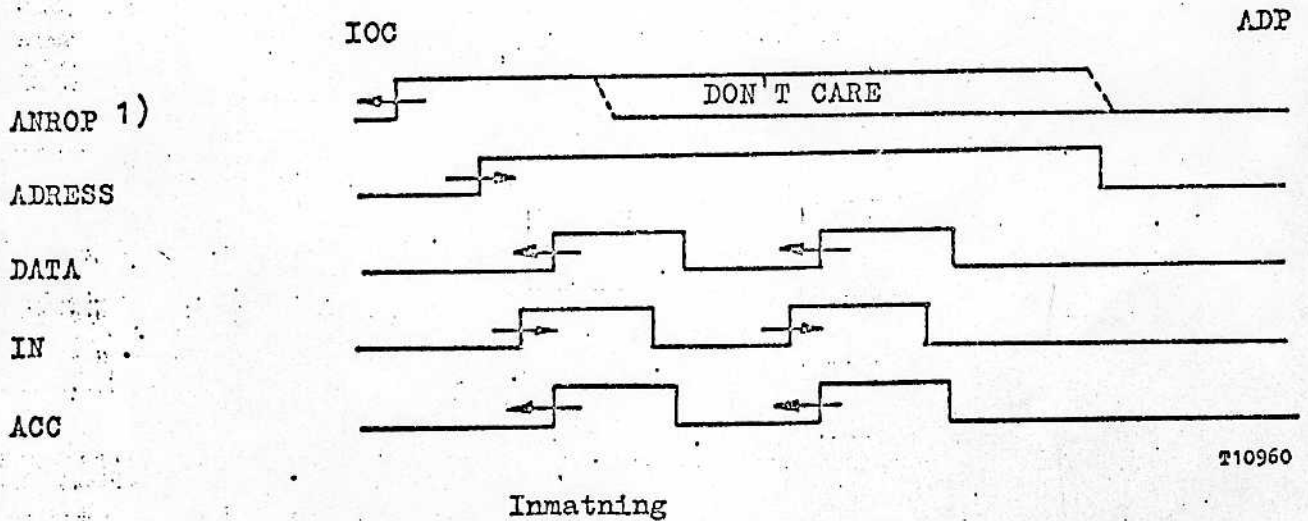
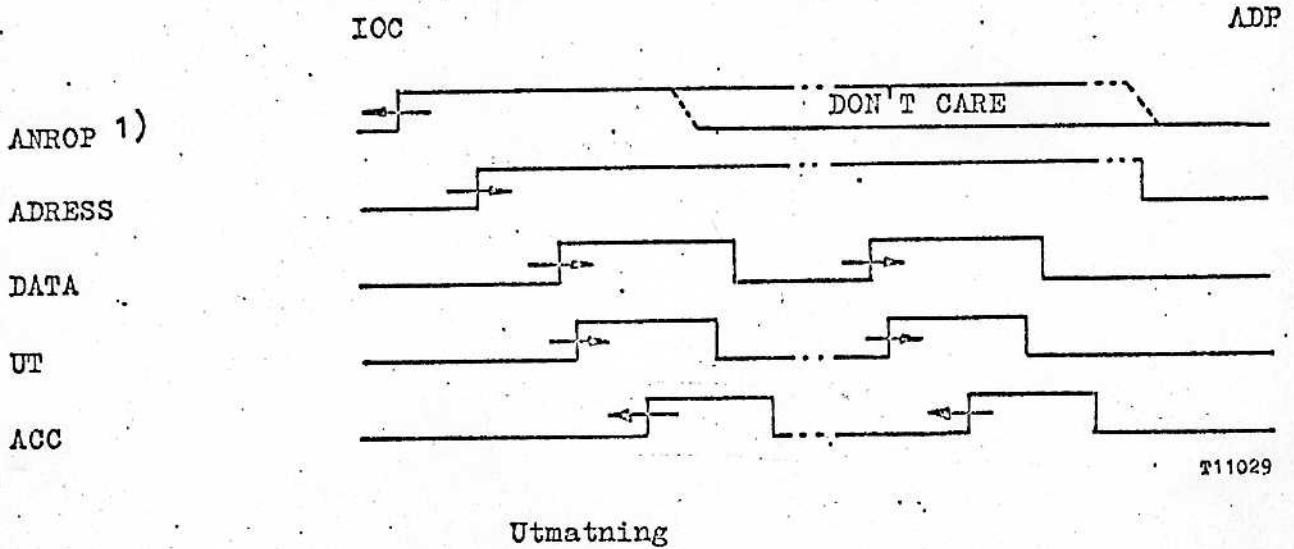


Bild 3.5.13 Enkelt logikschema över IFC-0

Namn	Gäller f o m	Utgåva	Sida
DATOR D5/20 SERIE		1	3:159



1) Intressant endast i fallet PU-initiering.

Bild 3.5.14 Pulsdiagram för snitt mellan IØC och ADP/XA

Namn DATOR D5/20 SERIE	Gäller för	Utgåva 1	Sida 3:160
---------------------------	------------	-------------	---------------

3.5.2.3 Kortplatta (KP)

Se funktionsöversiktsbilderna 3.5.23 - 26.

Via kortplattan (KP) distribueras signalerna mellan centralenheten (CPU) och de olika kretskorten i in/utsystemet.

Gäller kortplatta i pläterat utförande:

Kortplats C12 har stiften A03-A08 och B03-B08 placerade på kortplattans lödsida. På denna plats ansluts hylsdonet med signaler från kraftenhetens logikkort samt frontplåtens manöverknappar.

Kortplats C11 (där SCU är placerat) är försedd med fyra reservsignaler (ROS1-ROS4) för samtliga minnesplatser. Dessa kan utnyttjas vid anslutning av andra typer av minnen än kärnminne.

Från samma kortplats stift B17 överförs signalen HALT till kortplats C10 (CPU) stift B15.

Med denna signal kan SCU stoppa centralenheten vid nästa klockmoment.

3.5.3 Övrigt

3.5.3.1 Frisläppning av ADP

För att kunna ladda den "tomma" datorn, d.v.s. datorn utan programvara i SU, måste man manuellt kunna frisläppa den ADP som förmedlar inmatning av programvara till datorn. I återfört tillstånd är alla ADP blockerade med avseende på anrop. Frisläppningen kan ske med två knappar på datorn. Den ena är LOAD-knappen. Den genererar i följd signalen ÅF och därefter LADDA, vilken i sin tur övergår i F (= Frisläpp).

Den andra knappen är en yttre frisläppningsknapp, vilken via en vipa genererar F. Se bild 3.5.15.

<p>Namn DATOR D5/20 SERIE</p>	<p>Gäller f o m</p>	<p>Utgåva 1</p>	<p>Sida 3:161</p>
-----------------------------------	---------------------	---------------------	-----------------------

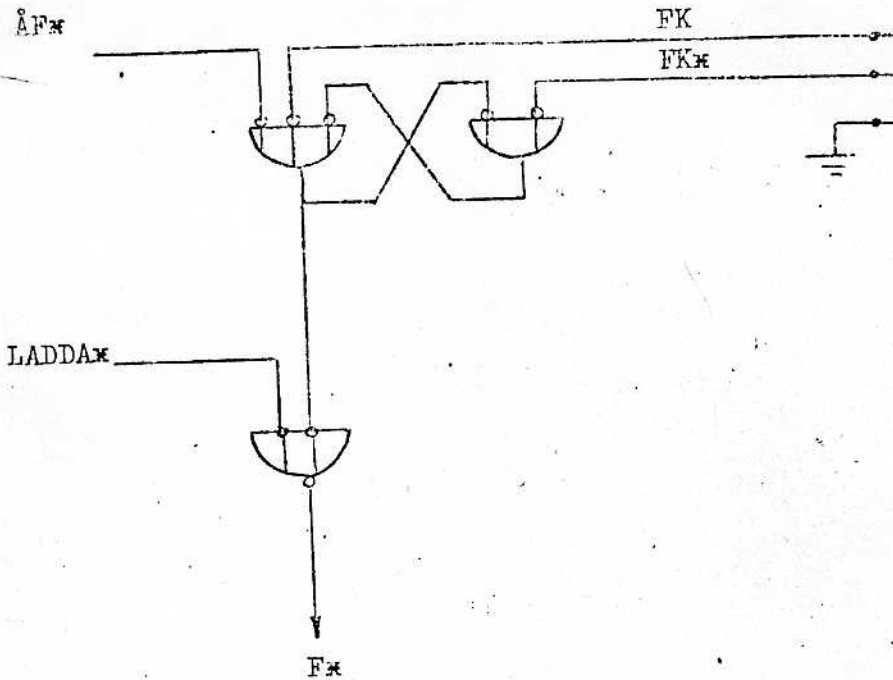


Bild 3.5.15 Frisläppningsvippra på IØC-0

Frisläppningssignalen går via KP och ett kablage på JACK-kortet till en omkopplare placerad på chassiets baksida. Denna omkopplare har tio lägen. Nio utgångar föres sedan tillbaka via KP till de tio ADP-platserna. Se bild 3.5.16.

FX* är FRISLÄPP-signal till ADP-plats med benämning X.

Tionde läget i omkopplaren användes vid laddning via terminal IØC. Detta läge är tomt, varför man på datorn kan trycka LADDA utan att frisläppa någon ADP i grundchassiet. Därefter kan terminalt placerad ADP frisläppas manuellt, varvid datorn laddas med information via denna.

Namn	Gäller f o m	Utgåva	Sida
DATOR D5/20 SERIE		1	3:162

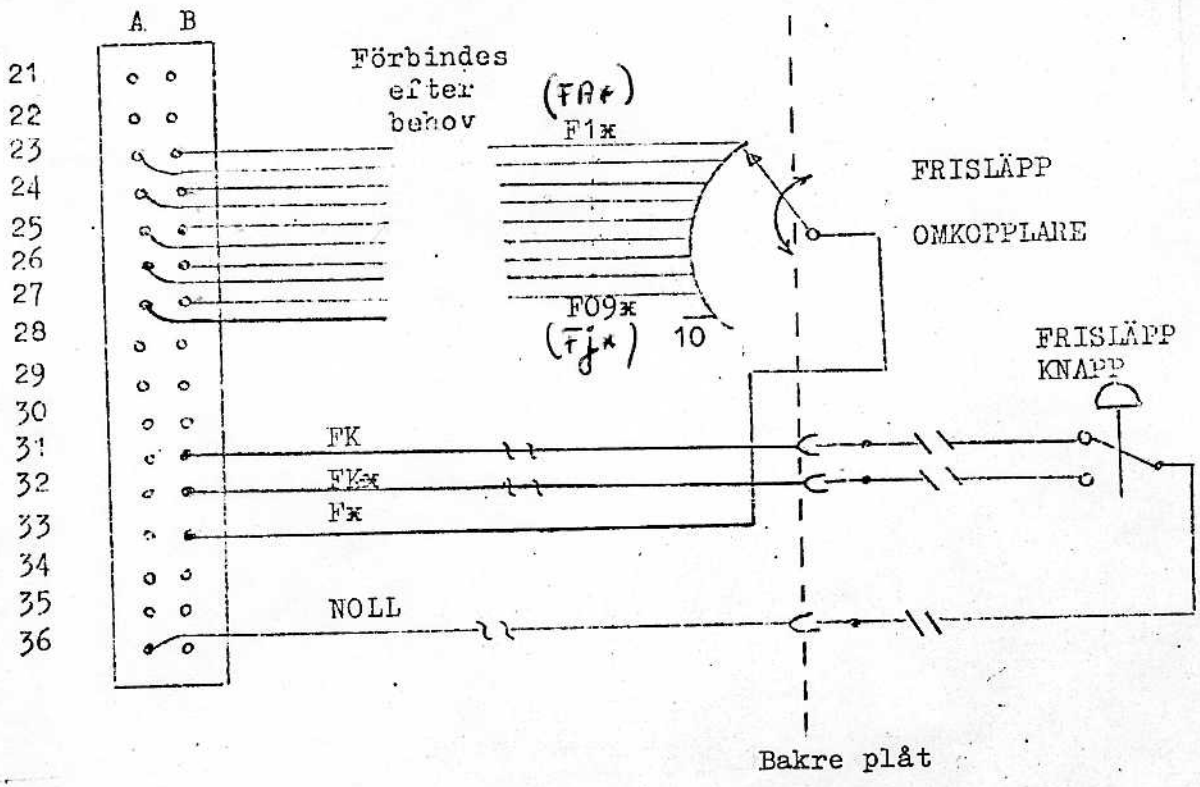


Bild 3.5.16 FRISLÄPPNING och FRISLÄPPOMKOPPLARE

Svante Sjöström 1978 12:059 3:162

Namn DATOR D5/20 SERIE	Gäller för	Utgåva 1	Sida 3:163
---------------------------	------------	-------------	---------------

3.5.3.2 ADRESS/ANROP för ADP

För ADP av samtliga typer gäller:

	ANROP	ADRESS
UTENHET	01A13	01B13
" (Alt. för 3/4-kk)	02A13	02B13
INENHET	01A30	01B30
" (Alt. för 3/4-kk)	02A30	02B30

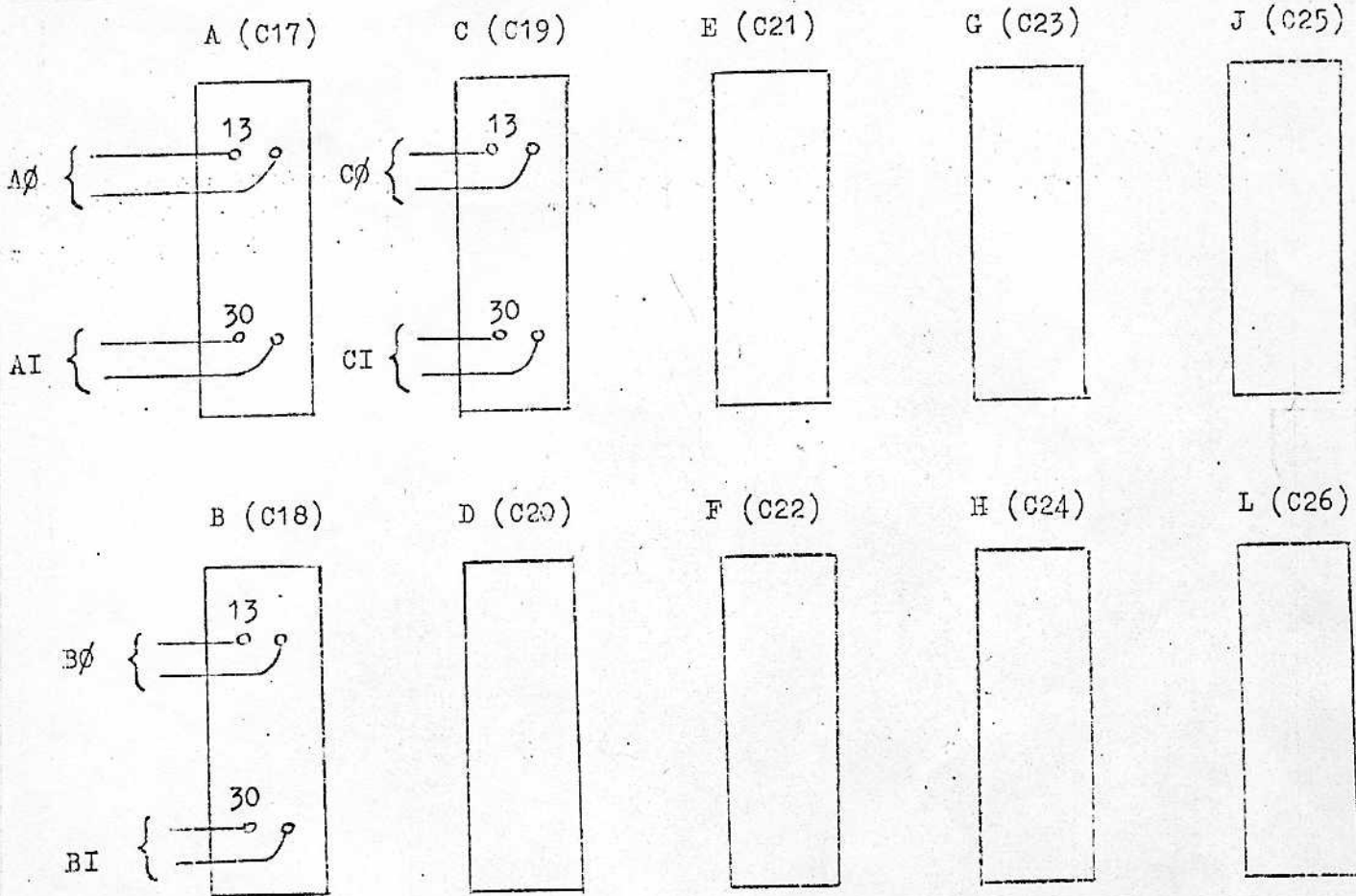
En ADP som har både ut- och in-del med olika adresser måste utnyttja samma skarvdon för de båda delarna.

ADP-skarvdonen på kortplattan är benämnda med bokstäverna A till L (I, K uteslutna). Se bild 3.5.17.

Uppkoppling av adress till en yttre enhet (PU), sker genom att stift representerande den logiska adressen byglas med stift som representerar fysikalisk ADP-plats och typ av ansluten ADP.

Två byglingar skall alltså utföras:
För ADRESS-signaler och för ANROPS-signaler.

En bygling mellan stiftparen 11 och 27 (A11-A27, B11-B27) innebär alltså, att en UT-ADP på plats B (C18) tilldelas adress.10(A). Se bild 3.5.18.



ANROP BØ_x = ANROP_x PÅ STIFT C18A13, "UTADP" ANSLUTEN
VY FRÅN PS!

Bild 3.5.17 ADP-skardon på KP

Namn DATOR D5/20 SERIE	Gäller för	Utgåva 1	Sida 3:165
---------------------------	------------	-------------	---------------

ANROP* på A-stift

ADRESS * på B-stift

STIFTPAR SIGNAL

1	0
2	1
3	2
4	3
5	4
6	5
7	6
8	7
9	8
10	9
11	10 (A)
12	11 (B)
13	12 (C)
14	13 (D)
15	14 (E)
16	15 (F)
17	AØ
18	CØ
19	EØ
20	GØ
21	JØ
22	AI
23	CI
24	EI
25	GI
26	JØ
27	BØ
28	DØ
29	FØ
30	HØ
31	LØ
32	BI
33	DI
34	FI
35	HI
36	LI

UTNYTTJAS INTERNT!

LOGISK
ADRESS

FYSISK
PLATS

I= INENHET, Ø=UTENHET

SKARVDONSPLATS

Bild 3.5.18 Skarvdon för ANROP/ADRESSOMKOPPLING för IØCH/IØC-0

<p>Namn DATOR D5/20 SERIE</p>	<p>Gäller för m</p>	<p>Utgåva 1</p>	<p>Sida 3:166</p>
-----------------------------------	---------------------	---------------------	-----------------------

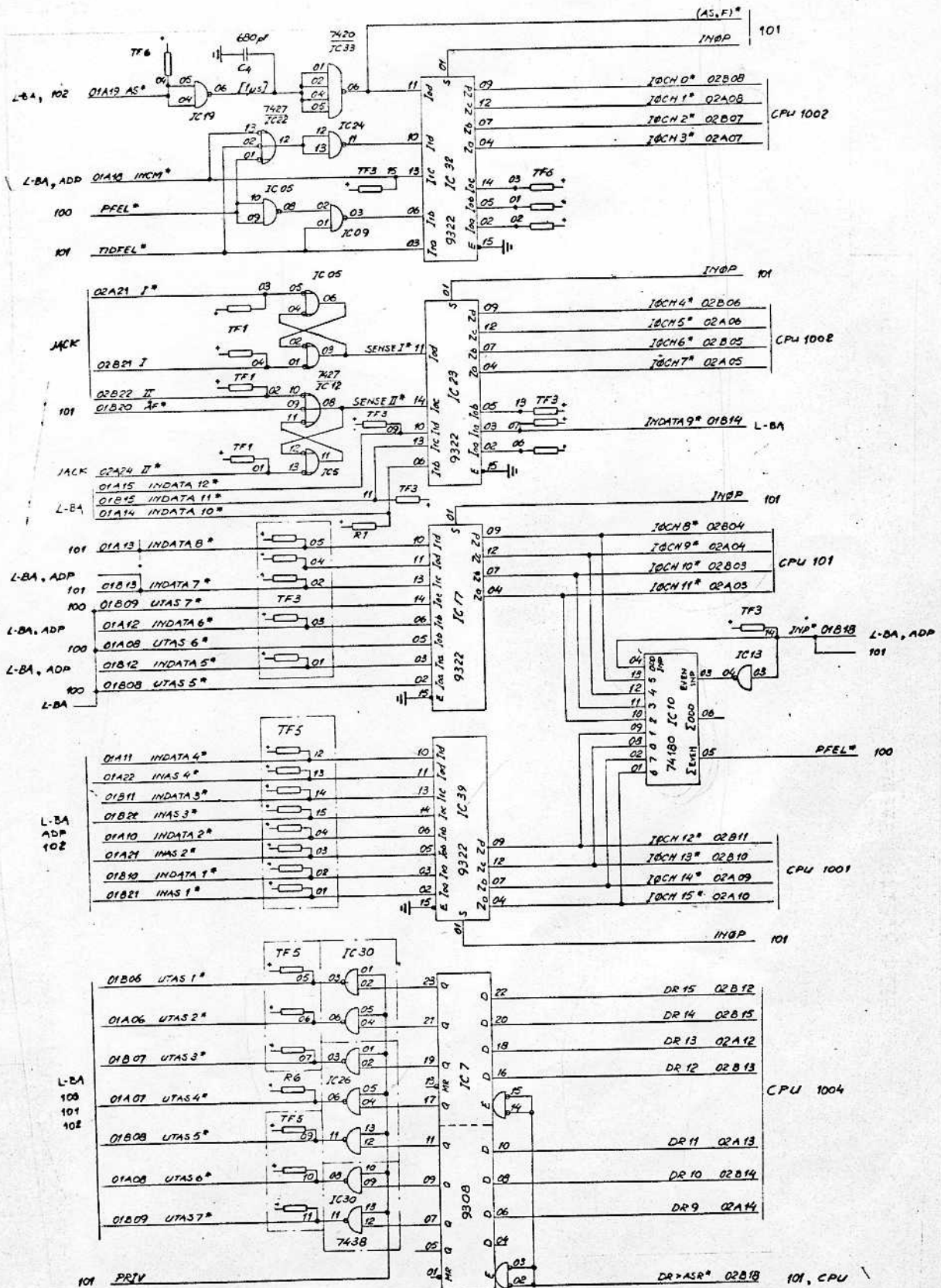


Bild 3.5.19 Principschema, funktion över IØCH-grindar (IØCH 100)

Namn DATOR D5/20 SERIE	Gäller för	Utgåva 1	Sida 3:167
---------------------------	------------	-------------	---------------

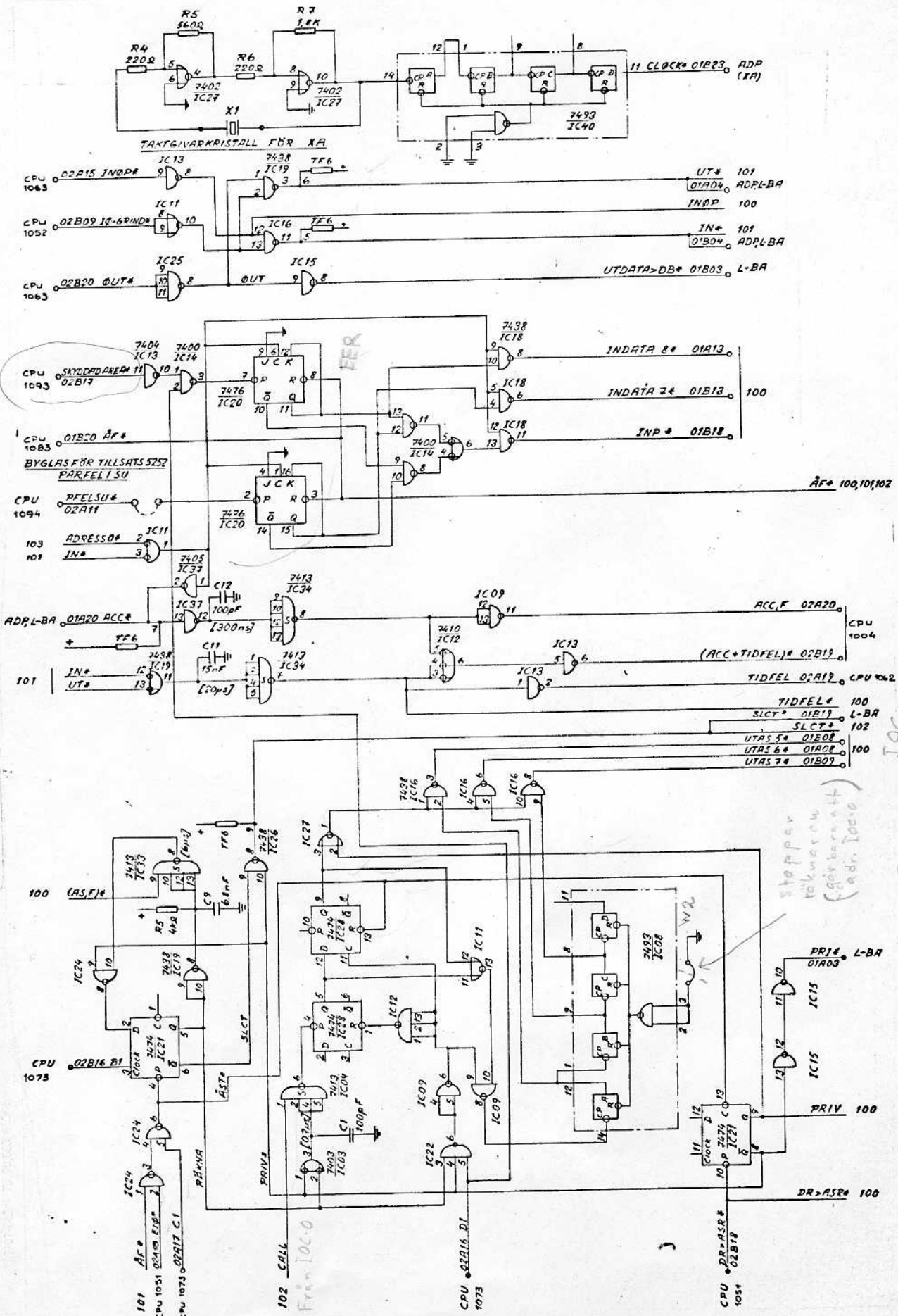


Bild 3.5.20 Principschema, funktion över IØCH:s styrlogik (IØCH 101)

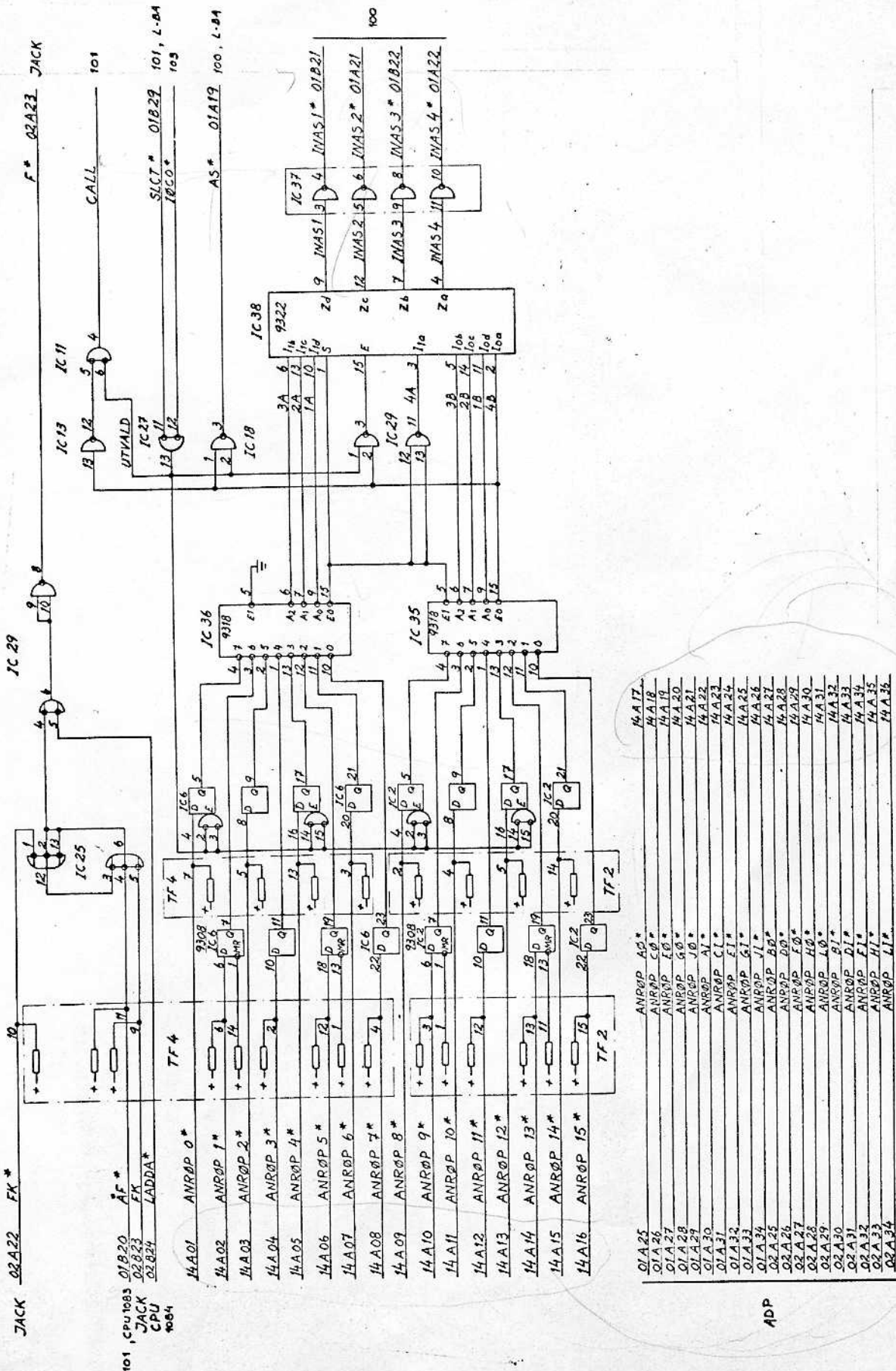


Bild 3.5.21 Principschema, funktion över IØC-0:s avkodare (IØCH 102)

<p>Namn DATOR D5/20 SERIE</p>	<p>Gäller för m</p>	<p>Utgåva 1</p>	<p>Sida 3:169</p>
-----------------------------------	---------------------	---------------------	-----------------------

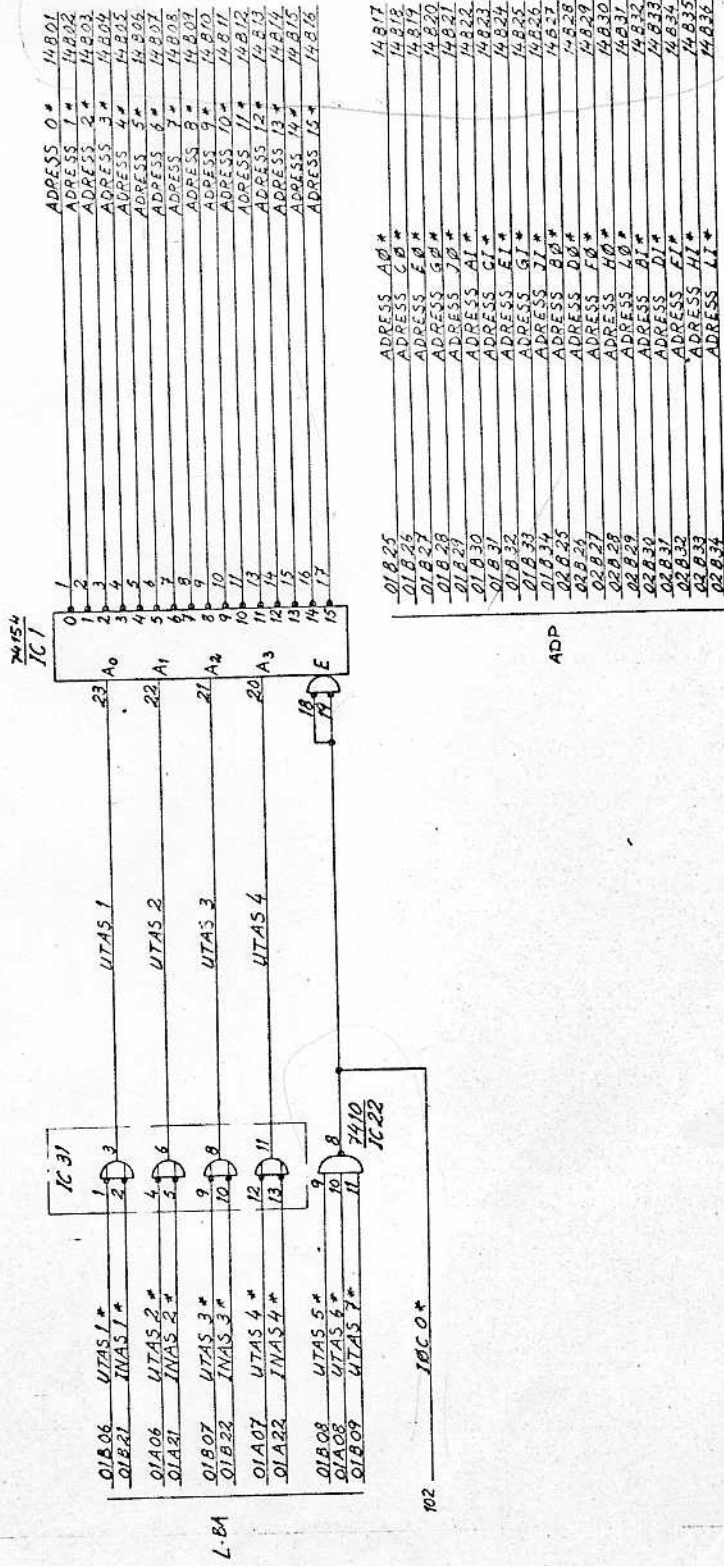
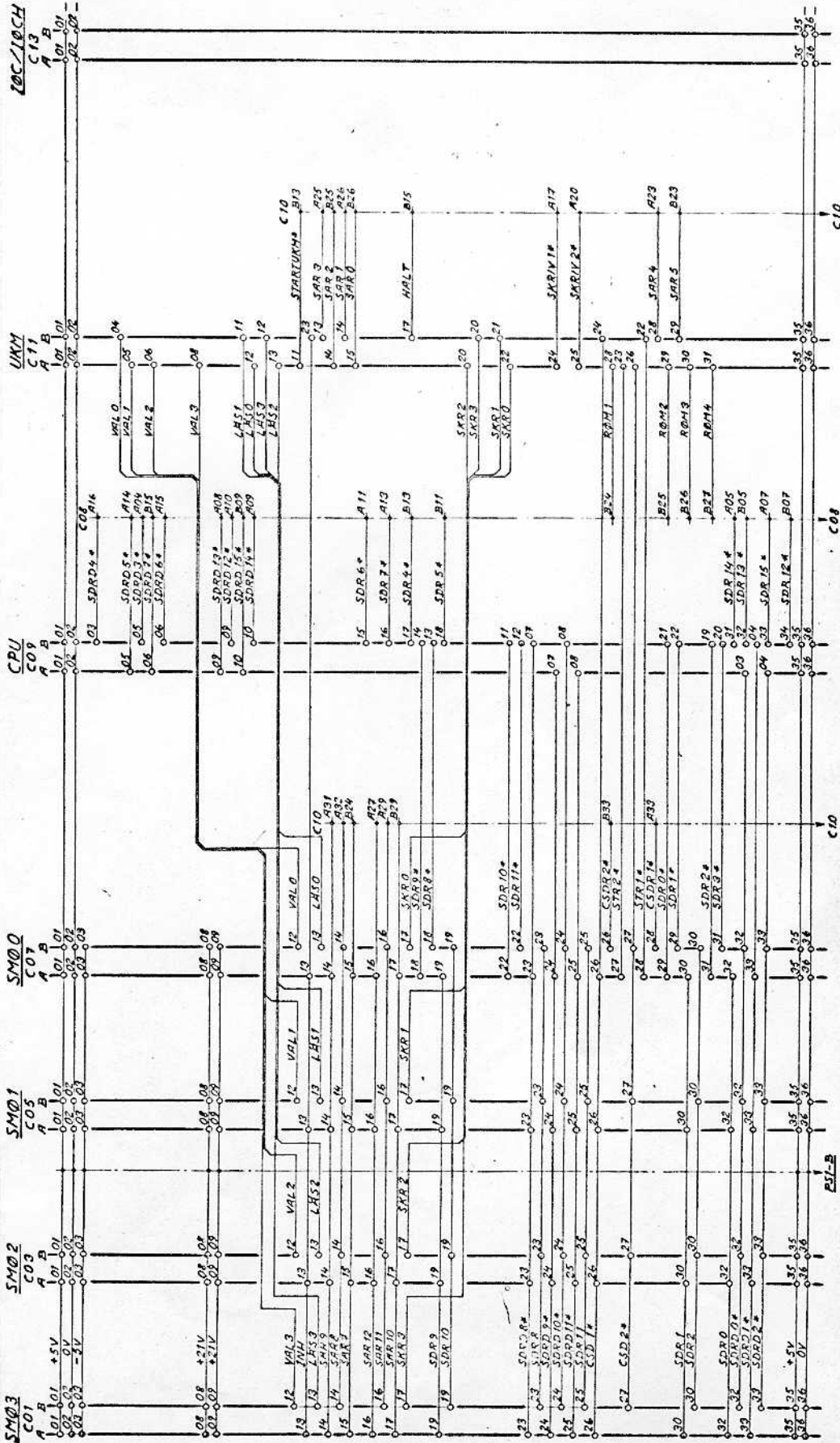


Bild 3.5.22 Principschema, funktion över I0C-0:s avkodare (I0CH 103)

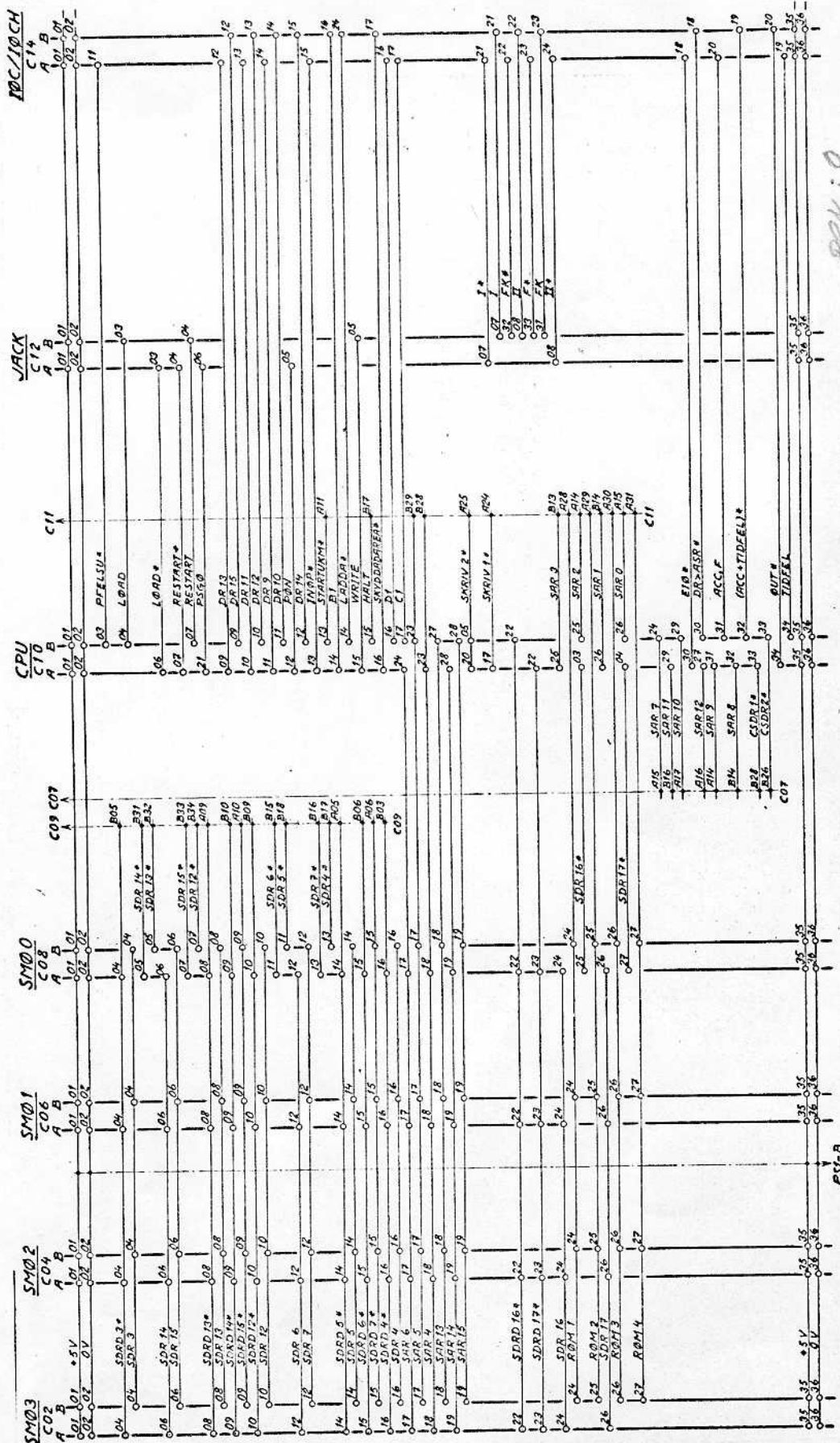
<p>Namn DATOR D5/20 SERIE</p>	<p>Gäller för</p>	<p>Utgåva 1</p>	<p>Sida 3:170</p>
-----------------------------------	-------------------	---------------------	-----------------------



001-C13	009-C25
002-C14	010-C26

Bild 3.5.23 Principschema, funktion över kortplatta

<p>Namn DATOR D5/20 SERIE</p>	<p>Gäller för m</p>	<p>Utgåva 1</p>	<p>Sida 3:171</p>
-----------------------------------	---------------------	---------------------	-----------------------



DDV:0
PSG:1

Bild 3.5.24 Principschema, funktion över kortplatta

Namn DATOR D5/20 SERIE	Gäller för om	Klass. kod A632	Reg. nr ZDS-D5-72:609
		Utgåva 1	Sida 3:172

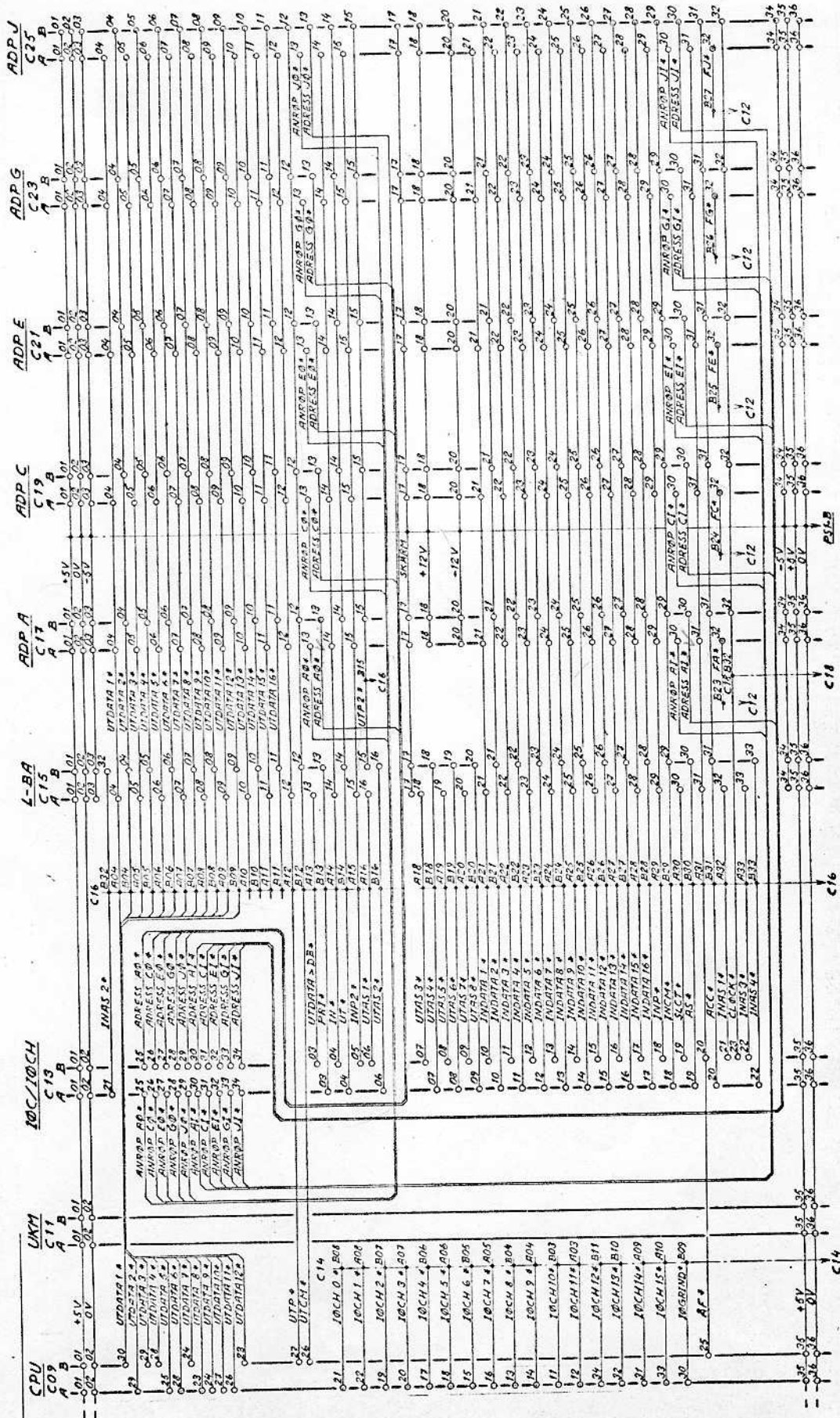


Bild 3.5.25 Principschema, funktion över kortplatta

<p>Namn DATOR D5/20 SERIE</p>	<p>Gäller för m</p>	<p>Utgåva 1</p>	<p>Sida 3:173</p>
-----------------------------------	---------------------	---------------------	-----------------------

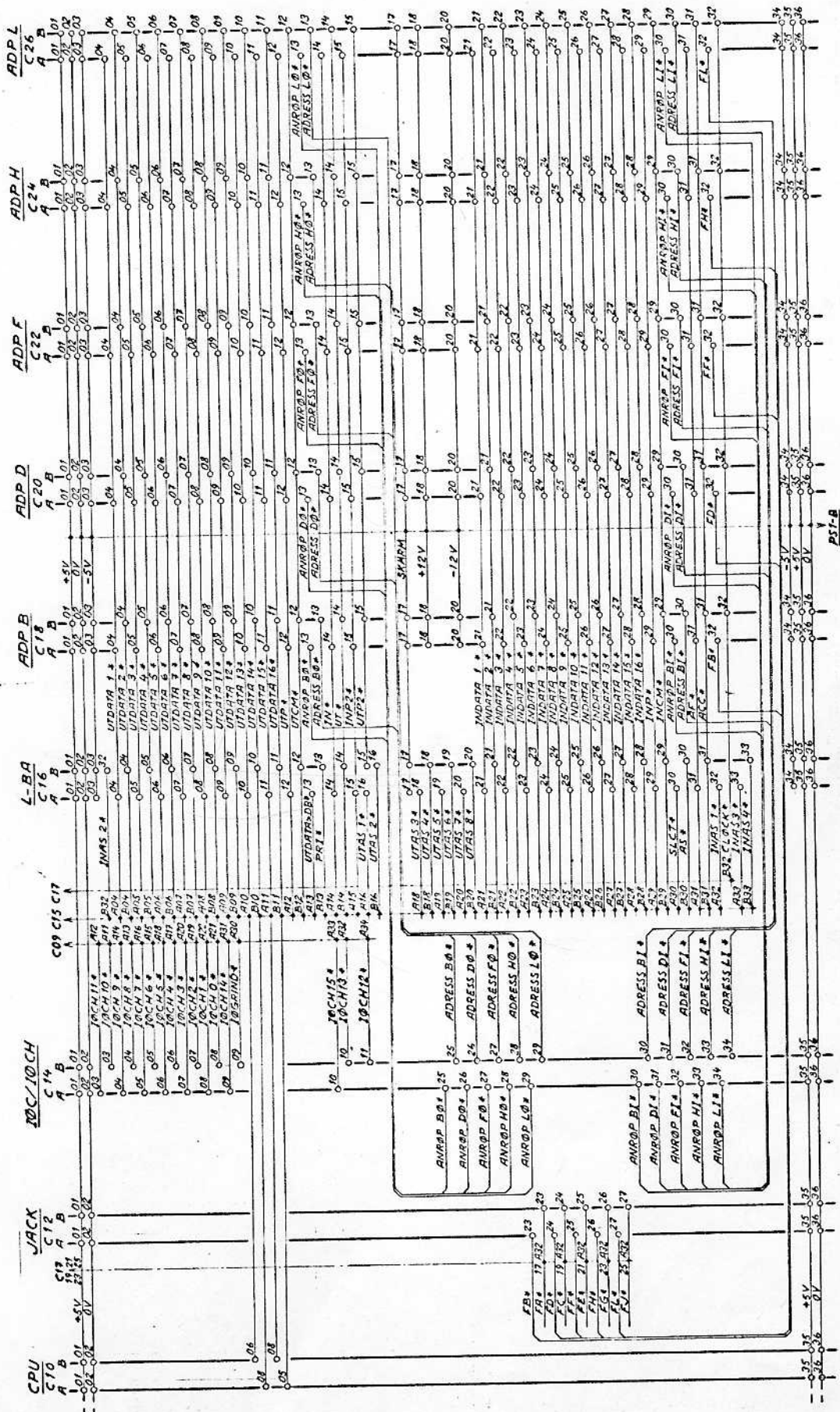


Bild 3.5.26 Principschema, funktion över kortplatta

Namn DATOR D5/20 SERIE	Gäller för	Utgåva 1	Sida 3:174
---------------------------	------------	-------------	---------------

OMKOPPLARE FRISLÄPP

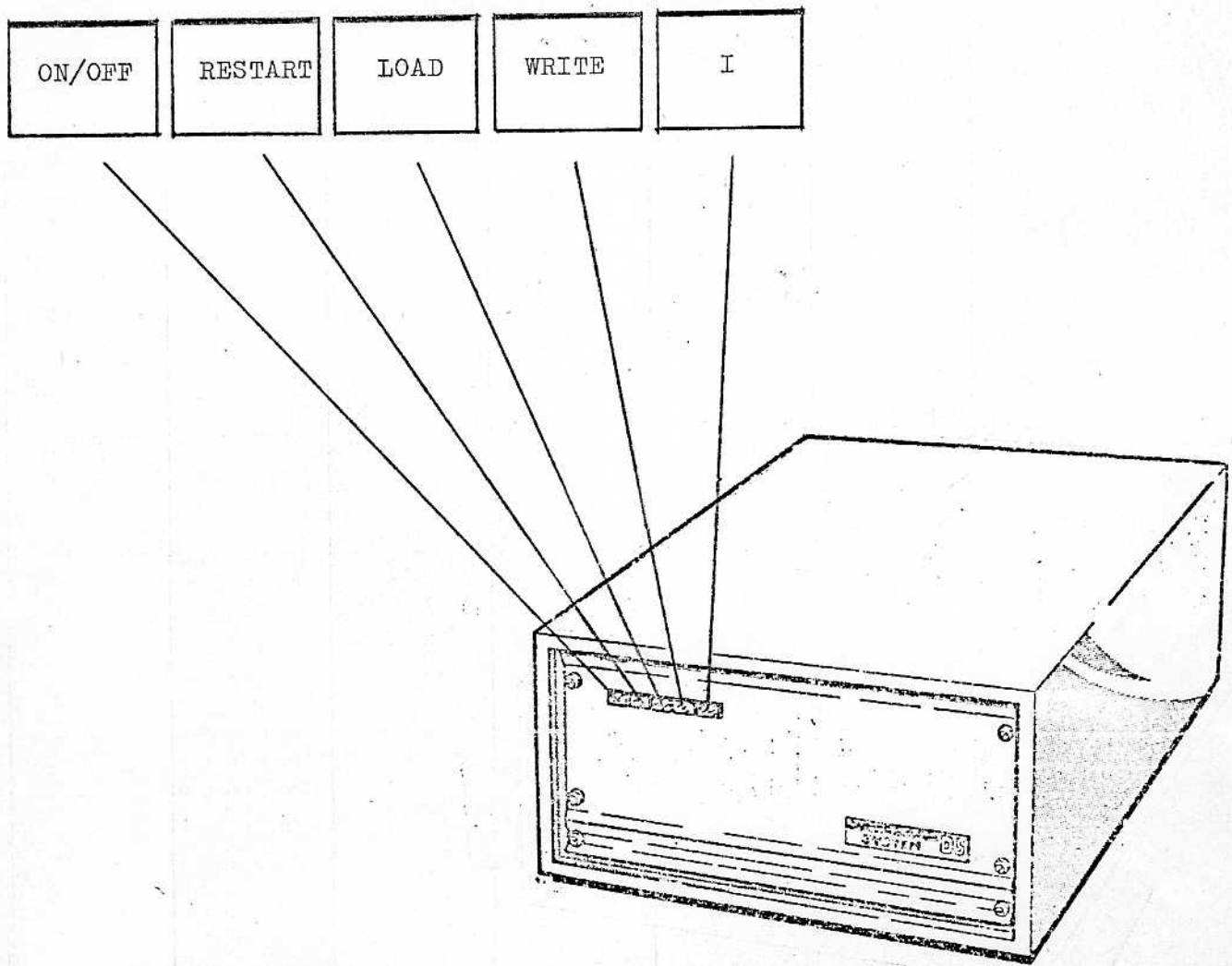
13 B 23	FA*	01 B 23
13 A 23	FB*	01 A 23
13 B 24	FC*	01 B 24
13 A 24	FD*	01 A 24
13 B 25	FE*	01 B 25
13 A 25	FF*	01 A 25
13 B 26	FG*	01 B 26
13 A 26	FH*	01 A 26
13 B 27	FJ*	01 B 27
13 A 27	FL*	01 A 27
13 B 28	FM*	01 B 28
13 A 28	FN*	01 A 28
13 B 29	FR*	01 B 29
13 A 29	FS*	01 A 29
13 B 30	FT*	01 B 30
13 A 30	FX*	01 A 30
13 B 31	FK	01 B 31
13 B 32	FK*	01 B 32
13 B 33	F*	01 B 33
13 B 34	-5V	01 B 34
13 A 34	-5V	01 A 34
13 B 35	+5V	01 B 35
13 A 35	+5V	01 A 35
13 B 36	NELL	01 B 36
13 A 36	NELL	01 A 36

Bild 3.5.27 Principschema, funktion över JACK-kort

Namn DATOR D5/20 SERIE	Gäller för	Utgåva 1	Sida 3:175
---------------------------	------------	-------------	---------------

3.6 Manöverknappar

Se bild 3.6.1



T11923

Bild 3.6.1 Manöverknapparnas märkning och placering

Namn	Gäller för	Utgåva	Sida
DATOR D5/20 SERIE		1	3:176

3.6.1 Uppbyggnad3.6.1.1 ON/OFF

Manöverknappen ON/OFF, se bild 3.6.1, utgörs av en strömställare (signaltryckknapp) av typen mikrobrytare med förgyllda, självrensande silverkontakter. Den har tvåstegsfunktion och är utrustad med tre växlingskontakter och en lampa. Kalotten är grön och försedd med rubr. text.

3.6.1.2 RESTART

Manöverknappen RESTART har samma utförande som ON/OFF-knappen, men saknar stegfunktion och är utrustad med en växlingskontakt samt en takt-lampa. Kalotten är vit och försedd med rubr. text.

3.6.1.3. LØAD

Manöverknappen LØAD har samma utförande som RESTART-knappen, men saknar lampa. Kalotten är gul och försedd med rubr. text.

3.6.1.4 WRITE

Manöverknappen WRITE har samma utförande som de ovan nämnda, men har ett-stegsfunktion och är utrustad med en växlingskontakt och en lampa. Kalotten är röd och försedd med rubr. text.

3.6.1.5 I

Manöverknappen I har även samma utförande som de redan nämnda, men har två-stegsfunktion och är utrustad med två växlingskontakter och en lampa. Kalotten är orange och försedd med rubr. text.

Namn	Gäller för	Utgåva	Sida
DATOR D5/20 SERIE		1	3:177

3.6.2 Funktion3.6.2.1 ON/OFF

Manöverknappen ON/OFF är en nätströmbrytare. Vid tillslag av nätspänning åstadkommes RESTART, vilket medför återföring av dator och yttre enheter samt hopp till sista cell i utbyggt kärnminne.

3.6.2.2 RESTART

Vid aktivering av manöverknappen RESTART erhålls återföring av dator och yttre enheter samt hopp till sista cell i utbyggt kärnminne.

3.6.2.3 LÖAD

Manöverknappen LÖAD ger vid tillslag återföring av dator och yttre enheter samt hopp till den fasta laddasekvens, som börjar i cell FFFE₁₆.

3.6.2.4 WRITE

Manöverknappen WRITE upphäver skrivskydd, när lampan är tänd.

3.6.2.5 I

Manöverknappen I ger möjlighet till yttre val av programgenomlopp. Då lampan lyser är position 4 i indikeringsregistret (SR) ett-ställd.
(SR inhämtas med operation IOS)